

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

#4/Patent  
12/4/01  
C. Mchung

JC971 U.S. PRO  
09/854120  
05/10/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application: 2000年 5月11日

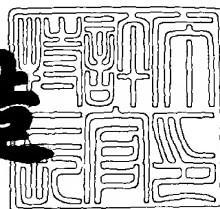
出願番号  
Application Number: 特願2000-139238

出願人  
Applicant(s): 株式会社半導体エネルギー研究所

2001年 4月 6日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3026059

【書類名】 特許願  
 【整理番号】 P004910  
 【提出日】 平成12年 5月11日  
 【あて先】 特許庁長官 近藤 隆彦 殿  
 【発明者】  
   【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
   【氏名】 平形 吉晴  
 【発明者】  
   【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
   【氏名】 佐竹 瑞茂  
 【特許出願人】  
   【識別番号】 000153878  
   【氏名又は名称】 株式会社半導体エネルギー研究所  
   【代表者】 山崎 舜平  
 【手数料の表示】  
   【予納台帳番号】 002543  
   【納付金額】 21,000円  
 【提出物件の目録】  
   【物件名】 明細書 1  
   【物件名】 図面 1  
   【物件名】 要約書 1  
 【プルーフの要否】 要

【書類名】明細書

【発明の名称】液晶表示装置及びその製造方法

【特許請求の範囲】

【請求項1】

アクティブマトリクス型の液晶表示装置の製造方法において、  
第一の基板上に第一の導電膜を形成し、  
前記第一の基板の上方に複数の素子を形成し、  
第二の基板に第二の導電膜を形成し、  
前記第一の導電膜と第二の導電膜により高分子材料と液晶の混合物に電界を印可  
しながら、前記混合物に外部エネルギーを加えることを特徴とする液晶表示装置  
の製造方法。

【請求項2】

アクティブマトリクス型の液晶表示装置の製造方法において、  
第一の基板に第一の導電膜を形成し、  
第二の基板の第一の面に第二の導電膜を形成し、  
第二の基板の第二の面と前記第一の導電膜の間に高分子材料と液晶の混合物を狭  
持し、  
前記第一の導電膜と第二の導電膜により前記混合物に電界を印可しながら、前記  
混合物に外部エネルギーを加えることを特徴とする液晶表示装置の製造方法。

【請求項3】

アクティブマトリクス型の液晶表示装置の製造方法において、  
連続する複数のフレームにおいて同極性の電圧を画素電極に印可しながら、  
高分子材料と液晶の混合物に外部エネルギーを加えることを特徴とする液晶表示  
装置の製造方法。

【請求項4】

アクティブマトリクス型の液晶表示装置の製造方法において、  
連続する複数のフレームにおいて外部から入力するゲートスタートパルスを一定  
のレベルに保持し、  
かつ、同極性の電圧を画素電極に印可しながら、

高分子材料と液晶の混合物に外部エネルギーを加えることを特徴とする液晶表示装置の製造方法。

【請求項5】

請求項1乃至請求項4のいずれか1項において、前記液晶にスマートチック液晶を用いることを特徴とする液晶表示装置の製造方法。

【請求項6】

請求項5において、前記スマートチック液晶に強誘電性液晶を用いることを特徴とする液晶表示装置の製造方法。

【請求項7】

請求項1乃至請求項6のいずれか1項において、前記外部エネルギーとして紫外線を照射することを特徴とする液晶表示装置の製造方法。

【請求項8】

請求項1乃至請求項7のいずれか1項において、前記外部エネルギーとして光または熱を用いることを特徴とする液晶表示装置の製造方法。

【請求項9】

請求項1または請求項2において前記電界により前記混合物に直流電圧を印可することを特徴とする液晶表示装置の製造方法。

【請求項10】

請求項1乃至請求項9のいずれか1項において、重合剤を添加された前記高分子材料を用いることを特徴とする液晶表示装置の製造方法。

【請求項11】

アクティブマトリクス型の液晶表示装置において、  
第一の基板に形成された第一の導電膜と、  
第二の基板の第一の面と前記第一の導電膜に狭まれた高分子材料及び液晶の混合物と、  
前記第二の基板の第二の面に形成された第二の導電膜とを有することを特徴とする液晶表示装置。

【請求項12】

アクティブマトリクス型の液晶表示装置において、

第一の基板上に形成された第一の導電膜と、  
前記第一の導電膜の上方に形成された複数の素子と、  
第二の基板に形成された第二の導電膜と、  
前記第一の基板と第二の基板に狭持された高分子材料及び液晶の混合物とを有す  
ることを特徴とする液晶表示装置。

【請求項13】

請求項11または請求項12において、前記液晶がスマートチック液晶であること  
を特徴とする液晶表示装置。

【請求項14】

請求項11乃至請求項13のいずれか1項において、前記液晶が強誘電性液晶で  
あることを特徴とする液晶表示装置。

【請求項15】

請求項11乃至請求項14のいずれか1項において、前記高分子材料に重合剤が  
添加されていることを特徴とする液晶表示装置。

【請求項16】

請求項15において、前記重合剤が光重合性あるいは熱重合性を有することを特  
徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

アクティブマトリクス型の液晶表示装置において直流の電圧を印可して液晶分  
子を単安定化する方法を示す。特にスマートチック液晶のような層構造を有する  
液晶を単安定化する方法を示す。

【0002】

【従来の技術】

液晶パネルは薄型、軽量、低消費電力という利点がある。液晶表示装置はポー  
タブルテレビ、壁かけテレビなど動画レベルの高速応答が要求される分野にも用  
いられている。また大画面表示ができること、50インチアプロジェクターな  
どプロジェクターパネルの要求も高まっている。

## 【0003】

液晶配向モードとして4～5 μmくらいのセルギャップのTN (Twisted Nematic) モードが配向制御の容易さから汎用されている。ただしTNモードは白レベルに近い中間調表示の応答速度が遅く、高速の動画表示をした場合に液晶の応答がついていけずフリッカーとなって見えてしまう。

## 【0004】

ネマチック液晶に変わる材料として自発分極を有する液晶があり、自発分極と電界の相互作用でスイッチングするためマイクロ秒レベルの高速応答ができる。自発分極を有するスマートチック液晶は、ヒステリシスが大きい。急峻なしきい値特性を利用して単純マトリクス方式の液晶表示装置に用いられている。

## 【0005】

アナログ階調できるスマートチック液晶として、最近は、強誘電性液晶を液晶性の高分子で単安定化して、ヒステリシスのない特性を得た高分子安定化強誘電性液晶 (Polymer Stabilized Ferroelectrics Liquid Crystal ; PS FLC) の開発が進められている。高分子安定化強誘電性液晶は液晶性の高分子を少量 (2 wt . %) 添加した強誘電性液晶を液晶パネルに注入し、液晶パネル全面に紫外線を照射しながら1～15V程度の直流電圧を印可することで、強誘電性液晶が持つヒステリシス特性が抑制されアナログ階調を有する特性が得られる。

## 【0006】

高分子安定化強誘電性液晶は、図23のように縦方向に8列にパターニングされた透明電極と、横方向に8行にパターニングされた透明電極よりなる液晶表示装置において、フィールドシーケンシャル方式での駆動が達成されており、高速応答が可能な配向方式として期待されている（半導体産業新聞主催 s e m i c o n - n e w s F O R U M 2 1 予稿集 p 7～13 講演日2000年2月24日）

## 【0007】

## 【発明が解決しようとする課題】

図23のような単純マトリクス型の液晶表示装置において、単安定化処理をする場合、矩形にパターニングされた導電膜の間に直流電源により直流電圧を印可

して、液晶分子の配向軸をコーンの一方向に揃える。

#### 【0008】

しかし、アクティブマトリクス型の液晶表示装置においてはもともと交流駆動を主眼において回路設計がされており、直流電源あるいは直流電圧により高分子安定化処理をする方法は提案されていなかった。

#### 【0009】

##### 【課題を解決するための手段】

本発明はアクティブマトリクス型の液晶表示装置において、液晶及び重合剤を添加した高分子材料の混合物に電界を印可しながら、外部エネルギーを加えて重合剤を化学反応により硬化するさいの手段を開示するものである。

#### 【0010】

まず重合剤を添加した高分子材料について説明すると、添加した重合剤が光重合性あるいは熱重合性がある場合、光や熱による外部エネルギーにより架橋反応をして、液晶の配向を安定化する。これにより外部エネルギーを加える前に比べて異なる特性（たとえばしきい値特性）を持つ液晶の特性が得られる。高分子材料としては液晶性の高分子を用いてもよい。

#### 【0011】

液晶は例えば、山口東京理科大学で研究されているようにスマートチック液晶例えれば、強誘電性液晶を用いることができる（半導体産業新聞主催 semico news FORUM 21 予稿集 p7~13 講演日2000年2月24日）。

#### 【0012】

アクティブマトリクス型の液晶表示装置では液晶層に印可できる電圧の値に上限ができるが、本発明によればアクティブマトリクス型の液晶表示装置においても液晶層に大きな電圧をかけることが可能となる。また、交流駆動を主眼において設計したアクティブマトリクス型の液晶表示装置の回路においても、液晶に直流電圧をかけることが可能となる。

#### 【0013】

本発明は、図10のように基板508に形成された透明導電膜510と基板400に形成された導電性のシート300により、液晶及び高分子材料の混合物に

電界を印可し、同時に、液晶及び高分子材料の混合物に外部エネルギーを加えることを特徴とする。直流電源を用いて電界を印可すれば直流電圧を印可することができる。

## 【0014】

また、本発明は図6に示すように素子基板の基板400に導電性の膜200を形成し、その後で素子を形成することを特徴とする。対向基板の基板508に形成された透明導電膜510と導電性の膜200により液晶及び高分子材料の混合物に電界を印可し、同時に、液晶及び高分子材料の混合物に外部エネルギーを加えることができる。直流電源を用いれば前記混合物に印可する電圧を直流電圧とすることができます。

## 【0015】

また、本発明はアクティブマトリクス型の液晶表示装置において、図2のように連続する複数のフレームにおいて同極性の電圧を画素電極に印可しながら、液晶を所定の位置に応答させた後に、保持容量により液晶層にかかる電圧を保持しながら、液晶及び高分子材料の混合物に外部エネルギーを加えることを特徴とする。これにより液晶層に直流電源により電圧を加えたことと同じ効果が得られる。

## 【0016】

さらに、本発明はアクティブマトリクス型の液晶表示装置において、図1のように連続する複数のフレームにおいて、外部からゲートドライバーに入力するゲートスタートパルス114を一定のレベルに保持し、液晶層と保持容量に常時電荷を供給できる状態にする。これにより保持容量等の電流のリークがあったとしても、液晶層にかかる電圧の変動を防ぐことができる。そして、同極性の電圧を画素電極に印可しながら、液晶及び高分子材料の混合物に外部エネルギーを加えることを特徴とする。これにより液晶層に直流電源により電圧を加えたことと同じ効果が得られる。

## 【0017】

## 【発明の実施の形態】

本発明は第一～第四の手段が適用できる。以下に詳細を説明する。

## 【0018】

第一の手段を以下に示す。図2は線順次駆動のタイミングチャートと液晶層の光学応答を示す。アクティブマトリクス型の液晶表示装置は行方向にn行設けられたゲート配線と列方向にm行設けられたソース配線を含む。

## 【0019】

図2と図3により、ゲートドライバーの動作を説明する。図3のように外部信号としてゲートスタートパルス103とゲートクロックパルス104がゲートドライバー101のシフトレジスタ102に入力される。図2のようにゲートスタートパルス103は画面を表示する一フレームの始まりに所定の振幅のパルスを持つ。ゲートクロックパルス104は一行(ゲート配線)ごとの区切りに所定の振幅のパルスを持つ。選択パルス(図示しない)はゲートクロックパルス104のパルス間の周期115と同じ期間に一本のゲート配線を選択するように指定する。

## 【0020】

そして、シフトレジスタに接続したレベルシフタ105により、選択パルスの電圧レベルが変換されて、TFT素子の活性層をスイッチングするのに十分な電圧がゲートパルス106としてゲート配線に与えられる。ゲートパルスにより、画面の一番上から順次ゲート配線が選択される。

## 【0021】

ゲートスタートパルス103が一フレームの始まりにおいて、所定の期間しか出力されない場合、一本のゲート線を選択する期間114は周期115と等しくなる。

## 【0022】

図4により、ソースドライバー107の動作を説明する。ソースドライバーのシフトレジスタ108ではサンプリング信号( $C_1 \sim C_m$ )により、原画信号109をゲート配線一本分毎のデータに分割する。分割されたデータはサンプリング回路110に保持される。一定の間データが保持された後に、転送信号(TR)が入力されて、ホールド回路111に分割されたデータが保持される。そして、ゲートパルスに同期して、各々のソース配線にソースドライバー出力112( $S_1 \sim S_m$ )

) が出力される。ソースドライバー出力 112 ( $S_1 \sim S_m$ ) として、一行分のデータを同時に出力するものを線順次駆動という。

#### 【0023】

図2のようにソースドライバー出力 112 に対応した絶対値の電圧が画素電極に印可される。ソースドライバー出力を +5 V として線順次駆動をしたときの液晶層の光学応答 113 を示す。線順次駆動であり、画素内のすべてのソースドライバー出力を +5 V としているため選択されたゲート配線の画素が全て一定の明るさを示す。ゲート配線を順次選択することにより、順次、ゲート配線毎に画素がスイッチングする。

#### 【0024】

ゲート選択期間 114 終了後に、強誘電性液晶の自発分極の反転による電圧降下が起り、液晶層の明るさが低下する。この場合は、数フレームにわたり同極性の電位を画素電極に与えることにより、液晶を応答させる。

#### 【0025】

累積応答させることで最終的に液晶層及び保持容量の電位が +5 V となる。そして、自発分極の反転が終了する。この段階で紫外線を照射して強誘電性液晶の単安定化を行えば良い。

#### 【0026】

図5のフローチャートに工程の順序を示す。配向膜形成 (①) ~ 液晶パネル注入入口の封止 (⑨) が終了する。そして、フレキシブルプリント配線板を異方性導電膜により貼りつけた後に、液晶表示装置を駆動しながら、液晶を複数のフレームで応答させる。液晶の応答が完了したら、電位を保持容量により保持したまま、紫外線照射により強誘電性液晶を単安定化する。

#### 【0027】

本発明の第二の手段は、第一の手段を発展させたものである。

#### 【0028】

図2のように、線順次駆動ではゲート線を選択している期間 114 だけ、電荷が液晶層に充電される。しかし、アクティブマトリクス型の液晶表示装置では液晶層の電圧保持率が悪いとき、あるいは保持容量の電流のリークにより、液晶層

にかかる電圧が変動する。これにより高分子安定化するさいの電圧が変動してしまう。

#### 【0029】

しかし、第二の手段によれば、保持容量や液晶層の電流のリークがあっても、一定の電圧を液晶層に印可することができる。

#### 【0030】

図1に線順次駆動のタイミングチャートと液晶層の光学応答を示す。アクティブマトリクス型の液晶表示装置は行方向に設けられたゲート配線と列方向に設けられたソース配線を含むものである。図1において図2と同じ要素は同じ符号で示す。

#### 【0031】

図2と異なる点を詳しく説明すると、強誘電性液晶を高分子安定化するさいにゲートスタートパルス114を常時一定のレベルで出力する。これによりゲートパルス115が高分子安定化するさいに常に選択されることになり、高分子安定化処理をしているときに、液晶層と保持容量にずっと電荷を供給することができる。

#### 【0032】

これにより、高分子安定化するさいの電流リークにより、液晶層の電位が変動することを抑えて、液晶層に対し一定の電圧をかけることができる。

#### 【0033】

液晶層の光学応答116を見ると、電荷が常時保持容量と液晶層に充電されているため、透過率が安定している。

#### 【0034】

図5のフローチャートに工程を示す。配向膜形成(①)～液晶パネル注入口の封止(⑨)が終了し、フレキシブルプリント配線板を異方性導電膜により貼りつけた後に、アクティブマトリクス型の液晶表示装置を駆動し、液晶を応答させながら、紫外線を照射して強誘電性液晶を液晶性の高分子により単安定化する。

#### 【0035】

第三の手段は、第一手段及び第二の手段を発展させたものである。つまり、ア

クティブマトリクス型の液晶表示装置では素子の耐電圧から高分子安定化処理するときに印可することができる直流電圧の値が5~7Vくらいであり、高分子安定化処理をするさいの直流電圧の最大値が限られる。しかし、第三の手段によれば、直流電圧値の制限がなく、液晶層に電圧を印可することができる。

#### 【0036】

第三の手段の作製工程を図6~9及び図14により説明する。図6の鎖線C-C'は図14の上面図の鎖線C-C'で切断した断面に相当する。図6と図7の鎖線B-B'は図8の上面図を鎖線B-B'で切断した断面に相当する。図6~8と図14において同じ要素を同じ数字で示す。高分子安定化するさいの工程の順序を図9に示す。図6~8の素子基板の作製工程の詳細は実施例においてする。

#### 【0037】

図14は液晶表示装置の上面図である。対向基板の基板には透明導電膜510と遮光膜509が形成されている。対向基板のコモンパッドは透明導電膜510と遮光膜509の積層構造である。素子基板にはゲートドライバー521とソースドライバー522が形成されている。素子基板と対向基板はシール剤513により貼り合わせられている。フレキシブルプリント配線板519が素子基板に接着されている。

#### 【0038】

図6のように素子基板の基板400に導電性の膜200が形成されていることが第三の手段の特徴である。導電性の膜200は例えば酸化インジウム錫(ITO)膜を用いることができる。酸化インジウム錫(ITO)膜は~500°Cまでの耐熱性が確保されているため、素子を形成する工程の温度を500°Cまで上げることができる。

#### 【0039】

導電性の膜200の上に、比誘電率の低い膜201として二酸化珪素膜、酸化窒化珪素膜を1~6μm形成して、素子の配線と導電性の膜200の間でできる寄生容量を低減する。

#### 【0040】

下地膜401により、ガラス基板から流出するアルカリ金属等の不純物が半導体層を汚染しないようにする。下地膜は窒化珪素、二酸化珪素等を用いることができる。例えば窒化珪素膜(SiN)膜202を10~100nmの厚さで形成する。

#### 【0041】

さらに、第一の半導体層405、第二の半導体層406、ゲート絶縁膜432、ゲート電極436、容量電極437、第一の層間膜457、第二の層間膜458、ソース配線465、画素電極467を形成し、素子基板ができる。素子基板にはさらに、フレキシブルプリント配線板を接着するときのリード線517が形成されている。液晶表示装置が透過型のときは、画素電極467は透明導電膜からなる。反射型のときは、画素電極は光を反射する機能を有する導電性の薄膜からなる。

#### 【0042】

対向基板の基板508には遮光膜509が形成されている。遮光膜はクロム等を用いることができる。

#### 【0043】

遮光膜509上に透明導電膜510が形成されている。透明導電膜は酸化インジウム錫(ITO)膜を用いることができる。

#### 【0044】

素子基板と対向基板には配向膜511~512が形成されている。強誘電性液晶を良好に配向させるには、配向膜は表面平坦性が良く、プレチルト角の低い材料が良い。画像を表示するさいに、配向膜による電圧損失を抑えるために、配向膜の膜厚は30nm~80nmが良い。

#### 【0045】

配向膜511~512をラビングする。ラビング方向がパラレルになるようにする。

#### 【0046】

液晶材料514を等方相まで加熱し、注入をする。液晶パネル全面に液晶材料が注入されたことを確認し、0.01~3°C/minで室温まで徐冷する。徐冷

により良好な配向が得られる。

## 【0047】

液晶材料514は強誘電性液晶と液晶性の高分子と重合開始剤の混合物を用いる。例えば、強誘電性液晶として、クラリアント社製のFelix M4851／100を用いる。液晶性の高分子として、大日本インキ化学社製の液晶性アクリレートモノマーUCL-001に重合開始剤を2～3wt.%添加したもの用いる。液晶性アクリレートモノマーを強誘電性液晶に少量(2wt.%)加える。

## 【0048】

導電性ペーストを対向基板のコモンパッドに形成する。導電性ペーストはシール剤515に導電性のスペーサ516を混入したものである。導電性のスペーサは粒子状のスペーサの表面に金の粉末をコーティングしたものである。導電性のペーストにより対向基板の透明導電膜510とフレキシブルプリント配線板を接着するときのリード線517が電気的に接続する。

## 【0049】

導電性ペーストは主材としてシール剤516が使われているが、シール剤は材料によっては、2.5μm程度しか圧縮できないものがある。強誘電性液晶の配向に必要な1～2μmのセルギャップを形成することが困難である。このため、導電性ペーストが形成される領域は比誘電率の低い膜201あるいは第二の層間膜458をエッティングにより取り除き、画素部のセルギャップを小さくできるようになると良い。

## 【0050】

シール剤513により対向基板と素子基板が貼り合わせられる。シール剤513が形成される領域では比誘電率の低い膜201あるいは第二の層間膜458をエッティングにより取り除き、画素部のセルギャップを小さくできるようにすると良い。

## 【0051】

対向基板と素子基板を分断する。

## 【0052】

異方性導電膜519により、フレキシブルプリント配線板518がリード線517に接着される。これにより、フレキシブルプリント配線板518と導電性の膜200の間に直流電圧を印可して液晶材料514を高分子安定化処理をすることができる。

#### 【0053】

直流電圧を印可する装置は、例えばウェーブテック社製のファンクションジェネーター“MODEL 275”を用いれば良い。

#### 【0054】

導電性の膜200と、対向基板に成膜された透明導電膜510の間に直流電圧が印可される。電源の直流電圧の値は、液晶材料の比誘電率、素子基板の層間膜の膜厚及び液晶層に印可したい電圧により変化する。層間膜の膜厚、セルギャップ等を考慮して電源の直流電圧の値を決める。

#### 【0055】

図7のように、ポリシリコンをスイッチング素子の半導体層に用いたアクティブラマトリクス型の液晶表示装置では、ポリシリコンの移動度の高さから、駆動回路部と画素部を同一基板上に形成することができる。

#### 【0056】

このような液晶表示装置では、対向基板に透明導電膜510を形成するさいに、駆動回路部に寄生容量がつかないように、駆動回路部の上方にある透明導電膜510はエッティングにより除去すると良い。

#### 【0057】

また、導電性の膜200は駆動回路部においては除去し、寄生容量が形成されないようにすると良い。

#### 【0058】

ここで、第三の手段は素子基板に形成される導電性の膜200の耐熱性により素子を形成するときの工程の温度に上限ができてしまう。第四の手段によれば素子基板の工程温度を任意に設定することができる。

#### 【0059】

第四の手段を図10～14により説明する。図10の鎖線A-A'は図14の

上面図の鎖線A-A'で切断した断面に相当する。図10と図11の鎖線D-D' と鎖線E-E'は図12の上面図の鎖線D-D' と鎖線E-E'で切断した断面に相当する。図10~12と図14において同じ要素を同じ数字で示す。図13は高分子安定化するさいのフローチャートを示す。図10~14の素子基板、液晶表示装置の作製工程は実施例で詳細に示す。

#### 【0060】

図10のように素子基板には半導体層484~491、ゲート絶縁膜432、ゲート電極485、第一の層間膜472、第二の層間膜473、ソース配線483、画素電極482が形成されている。素子基板にはさらに、フレキシブルプリント配線板を接着するときのリード線517が形成されている。液晶表示装置が透過型のときは、画素電極482は透明導電膜からなる。反射型のときは、画素電極482は光を反射する機能を有する導電性の薄膜からなる。

#### 【0061】

対向基板の基板508には遮光膜509が形成されている。遮光膜はクロム等を用いることができる。

#### 【0062】

遮光膜509上に透明導電膜510が形成されている。透明導電膜は酸化インジウム錫(ITO)膜を用いることができる。

#### 【0063】

素子基板と対向基板には配向膜511~512が形成されている。ラビングにより液晶がパラレル配向となるようにする。

#### 【0064】

液晶材料514を注入する。液晶材料514は強誘電性液晶と液晶性の高分子と重合開始剤の混合物を用いる。例えば、強誘電性液晶として、クラリアント社製のFelix M4851/100を用いる。液晶性の高分子として、大日本インキ化学社製の液晶性アクリレートモノマーUCL-001に重合開始剤を2~3wt.%添加したものを用いる。液晶性アクリレートモノマーを強誘電性液晶に少量(2wt.%)加える。

#### 【0065】

導電性ペーストを対向基板のコモンパッド520に形成する。導電性ペーストはシール剤515に導電性のスペーサ516を混入したものである。導電性のスペーサは粒子状のスペーサの表面に金の粉末をコーティングしたものである。導電性のペーストにより対向基板の透明導電膜510とフレキシブルプリント配線板を接着するときのリード線517が電気的に接続する。

## 【0066】

導電性ペーストにシール剤516が使われているが、シール剤は材料によっては、 $2.5\text{ }\mu\text{m}$ 程度しか圧縮できないものがあり、強誘電性液晶の配向に必要な $1\sim2\text{ }\mu\text{m}$ のセルギャップを形成することが困難である。このため、第一の層間膜472と第二の層間膜473を導電性ペーストが形成される領域はエッティングにより取り除き、画素部のセルギャップを小さくできるようにすると良い。

## 【0067】

シール剤513により対向基板と素子基板が貼り合わせられる。シール剤513が形成される領域では第一の層間膜472と第二の層間膜473をエッティングにより取り除き、画素部のセルギャップを小さくできるようにすると良い。

## 【0068】

対向基板と素子基板を分断する。

## 【0069】

異方性導電膜519により、フレキシブルプリント配線板518が接着される。導電性のあるシート300と、フレキシブルプリント配線板を直流電源に接続し、対向基板の基板508に成膜された透明導電膜510と導電性のあるシート300の間に直流電圧を印可する。導電性のシート300は成膜により基板400に形成しても良い。金属板を基板400に接するように形成しても良い。導電性を有しあつ粘着性のあるテープを基板400に形成しても良い。

## 【0070】

電源の直流電圧の値は、液晶材料の比誘電率、素子基板のガラス厚及び液晶層に印可する電圧等により変化する。以下の式で電源の直流電圧値を決める。

## 【0071】

## 【数1】

$$V = V_{LC} + (\epsilon_{rLC} \times V_{LC} \times d_s) / (\epsilon_{rs} \times d_{LC})$$

【0072】

数1において、Vは電源の直流電圧値、 $V_{LC}$ は液晶材料に印可する電圧、 $\epsilon_{rL}$ <sub>C</sub>は強誘電性液晶の比誘電率、 $d_{LC}$ はセルギャップ、 $\epsilon_{rs}$ は素子基板の比誘電率、 $d_s$ は素子基板の厚さを示す。

## 【0073】

セルギャップ2.0 μm、素子基板のガラスの比誘電率が3.0、液晶層に印可する電圧を5Vとする。液晶材料のうち、強誘電性液晶の比誘電率が10~30、素子基板のガラス厚が300~1100μmとすると、電源の直流電圧の値は2.5~27.5kVとなる。電源の直流電圧のうち、ほとんどがガラスに印可される。

## 【0074】

液晶表示装置を薄型にするために、素子基板のガラスをエッチングし、ガラスの厚さを薄くすると、印可する直流電圧値を小さくできる。

## 【0075】

直流電圧を印可しながら、基板全面に対し垂直方向から紫外線を照射すると、強誘電性液晶の单安定化が行われる。

## 【0076】

強誘電性液晶の单安定化終了後に導電性のシート300を素子基板の基板400の裏面から剥脱する。

## 【0077】

導電性のシート300を用いるだけでなく、素子基板の基板400の裏面に透明導電膜を形成することも可能である。反射型の液晶表示装置ならば、素子基板の裏面に反射機能を有する金属電極を形成しても良い。

## 【0078】

以上 の方法で、所望の直流電圧を、所望の領域に印可することが可能である。素子基板の熱工程の温度に関わらず、本発明を適用できる。

## 【0079】

図11のように、ポリシリコンをスイッチング素子の半導体層に用いたアクティブマトリクス型の液晶表示装置では、ポリシリコンの移動度の高さから、駆動回路部と画素部を同一基板上に形成することができる。

#### 【0080】

このような液晶表示装置では、対向基板の基板508に透明導電膜510を形成するさいに、駆動回路部に寄生容量がつかないように、駆動回路部の上方にある透明導電膜510はエッティングにより除去すると良い。

#### 【0081】

また高分子安定化をする際に導電性のシート300は素子基板の基板400の裏面に、駆動回路部をさけて形成しても良い。

#### 【0082】

#### 【実施例】

##### 【実施例1】（反射型の液晶表示装置に用いる素子基板の作製工程の一例）

本発明の実施例を図15～図17と図18を用いて説明する。図17の断面図の鎖線B-B'は図18を鎖線B-B'で切断したものに対応する。ここでは、画素部の画素TFTおよび保持容量と、表示領域の周辺に設けられる駆動回路のTFTを同時に作製する方法について工程に従って詳細に説明する。

#### 【0083】

本実施例では、画素部のスイッチング素子である画素TFTと、画素部の周辺に設けられる駆動回路（信号線駆動回路、走査線駆動回路等）のTFTを同一基板上に作製する方法について工程に従って説明する。但し、説明を簡単にするために、駆動回路部にはその基本構成回路であるCMOS回路を、画素TFTにはnチャネル型TFTとを、ある経路に沿った断面により図示することにする。

#### 【0084】

まず、図15（A）に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミニオホウケイ酸ガラスなどのガラスから成る基板400上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜401を形成する。例

えば、プラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜401aを10～200nm（好ましくは50～100nm）形成し、同様にSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化水素化シリコン膜401bを50～200nm（好ましくは100～150nm）の厚さに積層形成する。本実施例では下地膜401を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

#### 【0085】

島状半導体層402～406は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層402～406の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

#### 【0086】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100～400mJ/cm<sup>2</sup>（代表的には200～300mJ/cm<sup>2</sup>）とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm<sup>2</sup>（代表的には350～500mJ/cm<sup>2</sup>）とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を80～98%として行う。

#### 【0087】

次いで、島状半導体層402～406を覆うゲート絶縁膜407を形成する。ゲート絶縁膜407はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nm

の厚さの酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

#### 【0088】

そして、ゲート絶縁膜407上にゲート電極を形成するための第1の導電膜408と第2の導電膜409とを形成する。本実施例では、第1の導電膜408をTaNで50～100nmの厚さに形成し、第2の導電膜409をWで100～300nmの厚さに形成する。

#### 【0089】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タンクステン(WF<sub>6</sub>)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中の不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μΩcmを実現することができる。

#### 【0090】

なお、本実施例では、第1の導電膜408をTaN、第2の導電膜409をWとしたが、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の組み合わせとしては、第1の導電膜をタンタル

(T a) で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル (T a N) で形成し、第2の導電膜をA l とする組み合わせ、第1の導電膜を窒化タンタル (T a N) で形成し、第2の導電膜をC u とする組み合わせなどがある。

#### 【0091】

次に、レジストによるマスク410～417を形成し、電極及び配線を形成するための第1のエッティング処理を行う。本実施例では I C P (Inductively Coupled Plasma: 誘導結合型プラズマ) エッティング法を用い、エッティング用ガスを混合し、1 Paの圧力でコイル型の電極に 500 W の R F (13.56 MHz) 電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも 100 W の R F (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。エッティングガスを適宜選択することによりW膜及びTaN膜とも同程度にエッティングされる。

#### 【0092】

上記エッティング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー部の角度が 15～45° のテーパー形状となる。ゲート絶縁膜上に残渣を残すことなくエッティングするためには、10～20%程度の割合でエッティング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は 2～4 (代表的には 3) であるので、オーバーエッティング処理により、酸化窒化シリコン膜が露出した面は 20～50 nm 程度エッティングされることになる。こうして、第1のエッティング処理により第1の導電層と第2の導電層から成る第1の形状の導電層419～425 (第1の導電層419a～425aと第2の導電層419b～425b) を形成する。418はゲート絶縁膜であり、第1の形状の導電層419～425で覆われない領域は 20～50 nm 程度エッティングされ薄くなった領域が形成される。

#### 【0093】

そして、第1のドーピング処理を行い、n型を付与する不純物元素を添加する。(図15(B)) ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を  $1 \times 10^{13} \sim 5 \times 10^{14}$  atoms/

$\text{cm}^2$ とし、加速電圧を60～100 keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層419～423がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域427～430が形成される。第1の不純物領域427～430には $1 \times 10^{20} \sim 1 \times 10^{21}$  atomic/cm<sup>3</sup>の濃度範囲でn型を付与する不純物元素を添加する。

#### 【0094】

次に、図15(C)に示すように第2のエッティング処理を行う。ICPエッティング法を用い、反応性ガスをチャンバーに導入して、コイル型の電極に所定のRF電力(13.56MHz)を供給し、プラズマを生成して行う。基板側(試料ステージ)には低めのRF(13.56MHz)電力を投入し、第1のエッティング処理に比べ低い自己バイアス電圧を印加する。W膜を異方性エッティングして第二の形状の導電層494～499を得る。

#### 【0095】

さらに、図15(C)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120 keVとし、 $1 \times 10^{13}/\text{cm}^2$ のドーズ量で行い、図15(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層494～498を不純物元素に対するマスクとして用い、第1の導電層494a～498aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第1の導電層494a～498aと重なる第2の不純物領域608～612を形成する。n型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{18}$  atomic/cm<sup>3</sup>の濃度となるようにする。

#### 【0096】

図16(A)のように、ゲート絶縁膜432をエッティングすることで同時に第1の導電層であるTaNがエッティングされて後退するので第三の形状の導電層433～438(第1の導電層433a～438aと第2の導電層433b～438b)を形成する。432はゲート絶縁膜であり第3の形状の導電層433～4

38で覆われない領域はさらに20~50nm程度エッチングされ薄くなった領域が形成される。

#### 【0097】

図16(A)において、第1の導電層433a~437aと重なる第3の不純物領域600~603と、第3の不純物領域の外側にある第4の不純物領域604~607が形成される。これにより第3の不純物領域及び第4の不純物領域におけるn型を付与する不純物元素の濃度は第2の不純物領域におけるn型を付与する不純物元素の濃度とほぼ等しくなる。

#### 【0098】

そして、図16(B)に示すように、pチャネル型TFTを形成する島状半導体層403に一導電型とは逆の導電型の第4の不純物領域454~456を形成する。第三の形状の導電層434を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層402、404、405、406はレジストマスク451~453で全面を被覆しておく。不純物領域455~456にはそれぞれ異なる濃度でリンが添加されているが、ジボラン( $B_2H_6$ )を用いたイオンドープ法により、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{atoms/cm}^3$ となるようにする。

#### 【0099】

以上の工程により、それぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる導電層433~437がTFTのゲート電極として機能する。また、437は容量配線、438は駆動回路内の配線として機能する。

#### 【0100】

こうして導電型の制御を目的として図16(C)に示すように、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700°C、代表的には500~600°Cで行うものであり、本実

施例では500°Cで4時間の熱処理を行う。ただし、433～438に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行うことが好ましい。

#### 【0101】

さらに、3～100%の水素を含む雰囲気中で、300～450°Cで1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

#### 【0102】

次いで、図17のように、第1の層間絶縁膜457は酸化窒化シリコン膜から100～200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜458を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

#### 【0103】

そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線459～461、ドレイン領域とコンタクトを形成するドレイン配線462～464を形成する。また、画素部においては、ソース配線465、ドレイン電極466～467を形成する。ドレイン電極466は隣接する画素に形成されたものである。ドレイン電極は反射型の液晶表示装置の画素電極として機能する。図17の鎖線B-B'、鎖線C-C'は図8の上面図の切断線の鎖線B-B'、鎖線C-C'に対応している。

#### 【0104】

ドレイン電極465は画素TFTの活性層に相当する島状半導体層405に、ドレイン電極467は保持容量505を形成する島状半導体層406と電気的な接続が形成される。

#### 【0105】

以上のようにして、nチャネル型TFT501、pチャネル型TFT502、nチャネル型TFT503を有する駆動回路部と、画素TFT504、保持容量

505とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

## 【0106】

駆動回路部のnチャネル型TFT501はチャネル形成領域468、ゲート電極を形成する導電層433と重なる第3の不純物領域441（GOLD領域）、ゲート電極の外側に形成される第4の不純物領域446（LDD領域）とソース領域またはドレイン領域として機能する第1の不純物領域427を有している。pチャネル型TFT502にはチャネル形成領域469、ゲート電極を形成する導電層434と重なる第5の不純物領域456、ソース領域またはドレイン領域として機能する第6の不純物領域455を有している。nチャネル型TFT503にはチャネル形成領域470、ゲート電極を形成する導電層435と重なる第3の不純物領域443（GOLD領域）、ゲート電極の外側に形成される第4の不純物領域448（LDD領域）とソース領域またはドレイン領域として機能する第1の不純物領域429を有している。

## 【0107】

画素部の画素TFT504にはチャネル形成領域471、ゲート電極を形成する導電層436と重なる第3の不純物領域444（GOLD領域）、ゲート電極の外側に形成される第4の不純物領域449（LDD領域）とソース領域またはドレイン領域として機能する第1の不純物領域430を有している。また、保持容量505の一方の電極として機能する半導体層430にはn型を付与する不純物元素が添加されている。容量配線437とその間の絶縁層（ゲート絶縁膜と同じ層）とで保持容量を形成している。

## 【0108】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を5枚（島状半導体層パターン、第1配線パターン（ゲート配線、容量電極）、第2配線パターン（ソース配線、ドレイン電極）、コンタクトホールパターン、nチャネル領域のマスクパターン）とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

## 【0109】

図8に示すように、強誘電性液晶のような自発分極を有する液晶を駆動するには大きな保持容量が必要となる。本実施例のように反射型の液晶表示装置であれば、開口率を損なうことなく保持容量505を大きくとることができる。

## 【0110】

## [実施例2] (反射型の液晶表示装置に用いる素子基板の作製工程の一例)

本実施例を図12と図18により説明する。図18の鎖線D-D'、鎖線E-E'は、図12を鎖線D-D'、鎖線E-E'で切断した断面を示す。図18は実施例1の図15(A)～図16(C)の工程で作製される基板に対し、以下の工程を追加し、作製したものである。図12の上面図のように実施例1に比べ画素電極をソース配線に重なり合うように形成できるため、開口率が高くできる。

## 【0111】

なお、図16(C)と異なる点は図18の断面図に示すようにゲート電極485のよう一フレームのほとんどで負の電圧を印可する電極を保持容量505の第一の電極として用いているため、保持容量の第二の電極として用いる第二の半導体層491にp型の不純物を付与していることである。

## 【0112】

素子基板の作製工程を図18の断面図により説明する。まず、第1の層間絶縁膜472を酸化窒化シリコン膜で100～200nmの厚さで形成する。その上有機絶縁物材料から成る第2の層間絶縁膜473を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

## 【0113】

そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線474～476、ドレイン領域とコンタクトを形成するドレイン配線477～479を形成する。

## 【0114】

また、画素部においては、接続電極480、ゲート配線481、ドレイン電極482を形成する。膜厚は0.3μm～0.75μmが望ましい。ドレイン電極482は反射型の液晶表示装置の画素電極として機能する。

## 【0115】

接続電極480は、ソース配線483と第一の半導体層484と電気的に接続する。図示してはいないが、ゲート配線481はゲート電極485とコンタクトホールにより電気的に接続する。ドレイン電極482は第二の半導体層485と電気的に接続し、保持容量505の電極として機能させる。

## 【0116】

以上のように図16(C)の断面図にて示される素子基板に工程を追加することで、nチャネル型TFT501、pチャネル型TFT502、nチャネル型TFT503を有する駆動回路部と、画素TFT504、保持容量505とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

## 【0117】

素子基板を図12の上面図により説明する。図12に示すように、素子基板は行方向に配置されたゲート配線と、列方向に配置されたソース配線483と、ゲート配線とソース配線の交差部近傍の画素TFTを有する画素部と、nチャネル型TFTやpチャネル型TFTを有する駆動回路とを含む。

## 【0118】

ただし、図12におけるゲート配線は、行方向に配置されたゲート電極485とゲート配線481が接続したものを感じている。また、ゲート配線485は第二の層間絶縁膜(図示しない)の上に接して設けられたものである。

## 【0119】

第一の半導体層484と第二の半導体層485がパターニングされている。第一の半導体層484はTFT素子の活性層である。第二の半導体層485は後述する保持容量の容量電極として機能する。

## 【0120】

ゲート絶縁膜(図示しない)に接するように、ソース配線483とゲート電極485を形成する。

## 【0121】

第一の層間絶縁膜と第二の層間絶縁膜(図示しない)を形成した後、第一の半

導体層484、第二の半導体層491、ソース配線483に達するコンタクトホール486～490を開ける。次にパターニングにより、接続電極480、ドレイン電極482、ゲート配線485を形成する。

## 【0122】

コンタクトホール486とコンタクトホール488により、接続電極480を介して、第一の半導体層484とソース配線483が電気的に接続する。

## 【0123】

コンタクトホール489により、第一の半導体層484とドレイン電極482が電気的に接続する。

## 【0124】

コンタクトホール487により第二の半導体層491とドレイン電極482が電気的に接続する。これにより、ドレイン電極482は保持容量の電極として機能する第二の半導体層491に電位を与える。ゲート電極485と第二の半導体層491により保持容量ができる。ゲート絶縁膜が保持容量の絶縁膜として機能する。

## 【0125】

コンタクトホール490により、ゲート電極485とゲート配線481が電気的に接続する。

## 【0126】

実施例1と本実施例の素子基板の作製工程によると、図18、図12に示す画素構造を有する画素部と、駆動回路とを有する素子基板を形成するために必要なマスク数は5枚でよい。

## 【0127】

即ち、1枚目が、第1の半導体層484及び第2の半導体層491をパターニングするマスク、2枚目が、ソース配線483及びゲート電極485をパターニングするマスク、3枚目がnチャネル領域のマスクパターン、4枚目が第1の半導体層484と第2の半導体層491とソース配線483とゲート電極485とにそれぞれ達するコンタクトホールを形成するマスク、5枚目は、接続電極480、ドレイン電極482、ゲート配線481をパターニングするマスクである。

## 【0128】

本実施例は、反射型の液晶表示装置の作製工程を示したものである。上面図の図12に示すように、ソース配線483にドレイン電極の機能を有する画素電極482をオーバーラップして形成することができるため、開口率を高くすることができます。かつ、反射型の液晶表示装置は透過型の液晶表示装置に比べ画素電極間の距離が小さくできるため、画素の輪郭が目立たない。

## 【0129】

[実施例3]（透過型の液晶表示装置に用いる素子基板の作製工程の一例）

実施例1～2で作製したアクティブマトリクス基板はそのまま反射型の液晶表示装置に適用することができる。一方、透過型の液晶表示装置とする場合には画素部の各画素に設ける画素電極を透明電極で形成すれば良い。本実施例では透過型の液晶表示装置に対応するアクティブマトリクス基板の作製方法について図19を用いて説明する。

## 【0130】

アクティブマトリクス基板は実施例1と同様に作製する。図19（A）では、ソース配線とドレイン配線は導電性の金属膜をスパッタ法や真空蒸着法で形成する。これは、Ti膜を50～150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム（Al）を300～400nmの厚さで形成し、さらにTi膜または窒化チタン（TiN）膜を100～200nmの厚さで形成して3層構造とした。その後、透明導電膜を全面に形成し、フォトマスクを用いたパターニング処理およびエッチング処理により画素電極491を形成する。画素電極491は、層間絶縁膜458上に形成され、画素TFTのドレイン配線492と重なる部分を設け、接続構造を形成している。隣接する画素の画素電極493も図示されている。

## 【0131】

図19（B）では最初に層間絶縁膜458上に透明導電膜を形成し、パターニング処理およびエッチング処理をして画素電極491を形成した後、ドレイン配線492を画素電極491と重なる部分を設けて形成した例である。ドレイン配

線492はTi膜を50～150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム(A1)を300～400nmの厚さで形成して設ける。この構成にすると、画素電極491はドレイン配線492を形成するTi膜のみと接触することになる。その結果、透明導電膜材料とA1とが反応するのを防止できる。隣接する画素の画素電極493も図示されている。

#### 【0132】

透明導電膜の材料は、酸化インジウム( $In_2O_3$ )や酸化インジウム酸化スズ合金( $In_2O_3-SnO_2$ ; ITO)などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金( $In_2O_3-ZnO$ )を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOに対して熱安定性にも優れているので、ドレイン配線492の端面で接触するA1との腐蝕反応を防止できる。同様に、酸化亜鉛( $ZnO$ )も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛( $ZnO:Ga$ )などを用いることができる。

#### 【0133】

このようにして、透過型の液晶表示装置に対応したアクティブマトリクス基板を完成させることができる。本実施例では、実施例1と同様な工程として説明したが、このような構成は実施例2で示すアクティブマトリクス基板に適用することができる。

#### 【0134】

##### [実施例4] (液晶表示装置の作製方法の一例)

本実施例では実施例2で作製した素子基板を用いて反射型の液晶表示装置を作製する方法を示す。本実施例を図11を用いて説明する。図11の断面図の鎖線B-B' と鎖線C-C' は図12の上面図を鎖線B-B' と鎖線C-C' で切断したものを見せる。

#### 【0135】

図11の素子基板の基板400は石英を用いると良い。石英は紫外線の透過率が可視光と同じく92%にできるため、後述する紫外線照射による单安定化するさいに、照射光の吸収が少ない。

#### 【0136】

基板508には良質な黒レベルを得るために遮光膜（図示しない）が形成されている。遮光膜はクロム等を用いることができる。

#### 【0137】

遮光膜上に透明導電膜510が形成されている。透明導電膜はITO膜を用いることができる。透明導電膜510は画素部に形成されている。強誘電性液晶の配向は透明導電膜510の表面平滑性に影響されるので、成膜温度、膜厚、材質をうまく選択する必要がある。以上の構成を対向基板と称する。

#### 【0138】

素子基板と対向基板に配向膜511～512を形成する。日産化学社製の配向膜RN1286を形成し、90℃で5分間プリベークした後、250℃で一時間ポストベークした。ポストベーク後の膜厚は40nmであった。配向膜の形成方法はフレキソ印刷法あるいはスピナー塗布法で行えば良い。RN1286はシール剤との密着性が悪いため、シール剤が配置される位置は配向膜を除去する。また、素子基板と対向基板を電気的に接続するコンタクトパッド上の配向膜と、フレキシブルプリント配線板(Flexible Print Circuit;FPC)を接続するリード線の上には配向膜を形成しない。

#### 【0139】

配向膜511～512をラビングする。対向基板と素子基板を貼り合わせたときのラビング方向がパラレルになるようにする。ラビング処理はラビングの布として吉川化工社製のYA-20Rを用いた。常陽工学社製のラビング装置により、押しこみ量が0.25mm、ロール回転数が100r.p.m、ステージ速度が10mm/sec、ラビング回数が1回でラビングした。ラビングロールの直径は130mmである。

#### 【0140】

ラビング後に配向膜を洗浄した。まず、アルカリ現像液に60秒浸漬した。ア

アルカリ現像液はテトラメチルアンモニウムハイドロオキサイド (Tetra Methyl Ammonium Hydro Oxide ; TMAH) の濃度が 5. 48 % の富士フィルムオーリン社製の M I F 現像液を 20 倍に薄めて用いた。

## 【0141】

その後、 $50 \sim 100 \text{ kg f/cm}^2$  の高圧の水流を基板面に照射して配向膜を洗浄した。

## 【0142】

配向膜の洗浄にアルカリ溶液による洗浄と高圧の水流による洗浄を組み合わせて用いることで良好な配向が得られた。

## 【0143】

次に、シール剤 513 を形成した。シール剤は液晶材料の注入口を一箇所に設け、真空下で注入ができるパターンとすることができる。あるいは、液晶材料の注入口を設けた側と対向する側に空気が排出される間隙を設けて、常圧下で液晶材料の注入ができるパターンとすることもできる。

## 【0144】

シール剤を日立化成社製のシールディスペンサーにより対向基板上に形成した。シール剤は三井化学社製の XN-21S を用いた。シール剤の仮焼成は 90°C で 30 分行い、次の 15 分で徐冷した。

## 【0145】

シール剤 XN-21S は熱プレスをしても、 $2.3 \sim 2.6 \mu\text{m}$  のセルギャップしか得られないことがわかっている。そこで  $1.0 \mu\text{m}$  のセルギャップを形成するために、画素部に比べて、 $1.5 \mu\text{m}$  以上積層膜の厚さが薄い領域を設けてシール剤を配置すると良い。本実施例では、第一の層間絶縁膜 471 と第二の層間絶縁膜 472 をエッティングにより除去した領域にシール材 513 を配置する。

## 【0146】

また、常圧下で毛細管現象を利用して液晶材料を注入できるように、シール剤のパターンにおいて、液晶を注入する注入口と、空気が排出される間隙を設けた。

## 【0147】

シール剤を形成すると同時に導電性スペーサ（図示しない）を形成する。

#### 【0148】

スペーサ（図示しない）を対向基板あるいは素子基板に形成する。スペーサは球状のビーズを散布しても良い。あるいは、表示領域において感光性の樹脂をドット状またはストライプ状にパターニングしても良い。スペーサにより液晶材料の配向欠陥がでないようにする。

#### 【0149】

反射型の液晶表示装置ではリタデーションの関係からセルギャップは0.5～1.5 μmが望ましい。本実施例ではセルギャップを画素部において1.0 μmになるようにする。

#### 【0150】

その後、ニュートム社製の貼り合わせ装置により、対向基板と素子基板のマークを合わせ、貼り合わせを行った。

#### 【0151】

次に、0.3～1.0 kgf/cm<sup>2</sup>の圧力を基板平面に垂直な方向にかつ基板全面に加えながら、クリーンオーブンにて160℃、3時間で熱硬化を行い、シール剤を硬化し、対向基板と素子基板を接着させる。

#### 【0152】

対向基板と素子基板を貼り合わせてできる一対の基板を分断する。

#### 【0153】

液晶材料514は強誘電性液晶と液晶性の高分子と重合開始剤の混合物を用いる。液晶性の高分子材料として大日本インキ化学社製の光重合剤を添加した液晶性アクリレートモノマーUCL-001を使用した。強誘電性液晶にはクラリント社製のFelix M4851/100を使用した。重合開始剤を添加した液晶性アクリレートモノマーを2wt%強誘電性液晶に混合し、80℃の等方相において攪拌子により20分攪拌した。

#### 【0154】

液晶材料を等方相（80℃）まで加熱し注入をする。液晶パネルをホットプレート上で80℃に加熱し、強誘電性液晶と液晶性アクリレートモノマーの混合物

を注入した。液晶パネル全面に液晶材料を注入した後、液晶パネルをクリーンオーブンに搬送して、80°Cで30分加熱後に、0.1°C/minで室温まで徐冷した。

#### 【0155】

封止剤として注入口を覆うように小型のディスペンサーにより紫外線硬化型樹脂（図示しない）を塗布する。紫外線硬化樹脂を硬化するために紫外線を照射するときに、紫外線が石英を透過し、液晶材料に対し不要な高分子安定化処理をしてしまうことが予想されたため、この段階ではまだ紫外線硬化樹脂を硬化しない。

#### 【0156】

フレキシブルプリント配線板（図示しない）を異方性導電膜（図示しない）により接着する。

#### 【0157】

最後に、実施例5～7に示す方法のうちいずれか一つにより、直流電圧を印可して高分子安定化処理を行う。本実施例の工程順では紫外線を照射すると、強誘電性液晶の単安定化が行われると同時に、封止剤の紫外線硬化が終了する。

#### 【0158】

素子基板の画素電極を透明導電膜にすれば、本実施例の工程により透過型の液晶表示装置を作製することができる。透過型の液晶表示装置ではセルギャップはリタデーションの関係及び強誘電性液晶の螺旋構造を抑制する目的から1.0～2.5 μmとすることが望ましい。

#### 【0159】

##### 【実施例5】（高分子安定化処理をする方法の一例）

反射型の液晶表示装置あるいは透過型の液晶表示装置において、強誘電性液晶を液晶性の高分子により単安定化する方法を以下に示す。本実施例を図1と図5により説明する。

#### 【0160】

液晶表示装置にフレキシブルプリント配線板を貼りつけた後、外部からゲートドライバーに図1に示すゲートスタートパルス114とゲートクロックパルス1

04を入力する。ゲートスタートパルス114は強誘電性液晶を単安定化する間常時一定のレベルを保持する。これにより、ゲートパルス115の電圧値が強誘電性液晶を単安定化する間一定のレベルとなり、常時液晶層に電荷が供給される。

#### 【0161】

これにより、液晶層の光学応答116は一定の明るさを示す。線順次駆動で液晶層を電界により応答させるときに比べて、電荷が常に供給されているため、液晶層の電圧レベルが一定に保持できる。

#### 【0162】

液晶層の明るさが画素部において一定となったときに、10秒間基板全面に対し垂直方向から紫外線を照射する。液晶パネルに照射される紫外線は光の入射面で測定して  $10 \text{ mW/cm}^2$  であった。

#### 【0163】

以上により、アクティブマトリクス型の液晶表示装置でも強誘電性液晶の高分子安定化処理をすることができる。

#### 【0164】

実施例4の液晶表示装置の作製工程及び本実施例の工程の順序を図5配向膜形成～フレキシブルプリント配線板(FPC)貼り付けを行い、フレキシブルプリント配線板から外部信号を入力する。外部信号のゲートスタートパルスの電圧レベルを一定にすることで透過率の安定した液晶応答が行われる。

#### 【0165】

##### [実施例6] (高分子安定化処理をする方法の一例)

反射型の液晶表示装置あるいは透過型の液晶表示装置において、強誘電性液晶を液晶性の高分子により単安定化する方法を以下に示す。本実施例は図10～図14により説明する。図10の鎖線A-A'は図14を鎖線A-A'で切断した断面である。また、図10の鎖線D-D'及び鎖線E-E'は図12を鎖線D-D'及び鎖線E-E'で切断した断面である。

#### 【0166】

図14は反射型の液晶表示装置あるいは透過型の液晶表示装置の上面図を示す

。図14の液晶表示装置の素子基板にはゲートドライバー521とソースドライバー522が形成されている。

#### 【0167】

図10のように、実施例4の工程で得られた反射型の液晶表示装置に対し、フレキシブルプリント配線板を貼りつけた後に、素子基板の裏面に導電性を有するシート300を画素部に配置する。導電性のシートは例えば、導電膜を成膜しても良い。また、金属板を基板400に接するように設けても良い。また導電性を有しあつ粘着性のあるテープを画素部に電界がかかるように貼りつけても良い。

#### 【0168】

対向基板の基板508には透明導電膜510を形成する。

#### 【0169】

導電性ペーストを対向基板のコモンコンタクトパッド520にディスペンスする。導電性ペーストはシール剤515に導電性のスペーサ516を混入したものである。導電性のスペーサは粒子状のスペーサの表面に金の粉末をコーティングしたものである。導電性のペーストをコモンパッド520に配置することにより対向基板の透明導電膜510とフレキシブルプリント配線板を接着するときのリード線517が電気的に接続する。

#### 【0170】

シール剤513により対向基板と素子基板が貼り合わせられる。その後液晶材料514を注入する。液晶材料514は強誘電性液晶と液晶性高分子の混合物を示す。

#### 【0171】

異方性導電膜518により、フレキシブルプリント配線板519が接着される。これにより、フレキシブルプリント配線板518と対向基板の透明導電膜510が同電位になる。フレキシブルプリント配線板518と導電性のシート300の間に直流電圧を印可して高分子安定化処理をすることができる。電源の直流電圧の値は前述の数1で計算する。

#### 【0172】

セルギャップ2.5μm、素子基板のガラスの比誘電率が3.0、液晶材料に

印可する電圧を4Vとする。液晶材料のうち、強誘電性液晶の比誘電率が1.8、素子基板のガラス厚が $300\mu\text{m}$ とすると、直流電圧値は2.9kVとなる。印可される直流電圧のうち、ほとんどがガラスに印可される。

#### 【0173】

直流電圧は、直流安定化電源 (Regulated DC Power Supply) により供給する。例えば、浜松ホトニクス社製のRegulated DC Power Supplyの型番C3350では、0~±3.0kVの直流電圧を印可することができる。

#### 【0174】

直流電圧を印可しながら、基板全面に対し垂直方向から紫外線を照射する。10秒間基板全面に対し垂直方向から紫外線を照射する。液晶パネルに照射される紫外線は光の入射面で測定して $10\text{ mW}/\text{cm}^2$ であった。

#### 【0175】

これにより強誘電性液晶の単安定化が行われる。単安定化終了後に導電性のシート300を剥離すれば良い。

#### 【0176】

図11のようにポリシリコンを半導体層として用いるときは、駆動回路部と画素部を同一基板上に形成することが可能である。駆動回路部に直流電圧がかからないように、画素部にのみ導電性のシート300を接着しても良い。

#### 【0177】

実施例4及び本実施例の工程の順序を図13にまとめる。配向膜形成(①)~液晶注入口の封止剤を塗布し、フレキシブルプリント配線板を貼りつけ(た後に、素子基板の裏面に導電性のシートを貼りつけて、対向基板の透明導電膜と導電性シートの間に直流電圧を印可できるようにしているのが特徴である。

#### 【0178】

##### 〔実施例7〕（高分子安定化処理をする方法の一例）

反射型の液晶表示装置あるいは透過型の液晶表示装置において、強誘電性液晶を液晶性の高分子により単安定化する方法を以下に示す。本実施例は図6~9と図14により説明する。図6の鎖線C-C'は図14を鎖線C-C'で切断した断面である。また、図6~7の鎖線鎖線B-B'は図8を鎖線B-B'で切断し

た断面である。

#### 【0179】

図14は反射型の液晶表示装置あるいは透過型の液晶表示装置の上面図を示す。図14の液晶表示装置の素子基板にはゲートドライバー521とソースドライバー522が形成されている。

#### 【0180】

図6に示すように、基板400上に導電性の膜200としてITO膜を画素部のみに100～120nmの厚さで形成する。パターニングにより駆動回路部に配置されるITO膜は除去しても良い。また半導体層を保護するために、半導体層が配置される領域はITO膜を除去しても良い。ITO膜は成膜方法によっては耐熱性が500°C程度まで確保されている。実施例1の素子基板の作製工程に従えば、素子の形成工程の上限の温度を500°C以下にすることができる。

#### 【0181】

以下に図6に用いられる絶縁膜の比誘電率と膜厚を述べる。

#### 【0182】

比誘電率の低い膜201を1～6μmの厚さで形成して、素子の配線と導電性の膜200の間にできる寄生容量の低減を図る。本実施例では比誘電率の低い膜201として比誘電率が4.0の二酸化珪素(SiO<sub>2</sub>)膜を1.0μmの厚さで形成する。

#### 【0183】

下地膜401により、ガラス基板から流出するアルカリ金属等の不純物が半導体層を汚染しないようにする。下地膜は窒化珪素、二酸化珪素等を用いることができる。例えば比誘電率が6.5の窒化珪素膜(SiN)膜401を10nmの厚さで形成する。

#### 【0184】

ゲート絶縁膜432は比誘電率が4.0の酸化窒化珪素膜を100nmの厚さで形成する。第一の層間膜457として比誘電率が4.0の酸化窒化珪素膜を150nmの厚さで形成する。第二の層間膜458として比誘電率が4.0のアクリル樹脂を2.0μmの厚さで形成する。

## 【0185】

液晶材料514は強誘電性液晶と液晶性の高分子と重合開始剤を示す。本実施例において用いる強誘電性液晶の比誘電率は30とする。セルギャップは1.0  $\mu\text{m}$ の反射型の液晶表示装置とする。配向膜511～512の膜厚は40nmで比誘電率は4.0とする。

## 【0186】

以上のような構成では計算により、液晶材料514に10Vの直流電圧を印可したいときには、導電性の膜200と後述する対向基板の基板508に形成された透明導電膜510の間に260Vの電圧を印可すれば良いことがわかる。

## 【0187】

次に、直流電圧を印可する方法を図7と図14により説明する。

## 【0188】

図7のように対向基板のガラス基板508には遮光膜509が形成されている。  
○遮光膜はクロム等を用いることができる。

## 【0189】

遮光膜509上に透明導電膜510が形成されている。透明導電膜はITO膜を用いることができる。

## 【0190】

図7、図14のように対向基板の透明導電膜511と遮光膜509が二層に積層してできるコンタクトパッド520がある。コンタクトパッド520に導電性ペーストを形成する。

## 【0191】

導電性ペーストはシール剤515に導電性のスペーサ516を混入したものである。導電性のスペーサは粒子状のスペーサの表面に金の粉末をコーティングしたものである。導電性のペーストをコモンパッド520に配置することにより対向基板の透明導電膜510とフレキシブルプリント配線板を接着するときのリード線517が電気的に接続する。

## 【0192】

配向膜511～512により液晶材料514が配向する。シール剤513が形

成されている。

#### 【0193】

異方性導電膜518により、フレキシブルプリント配線板519が接着される。これにより、フレキシブルプリント配線板518と素子基板400に形成された導電性の膜200の間に直流電圧を印可して高分子安定化処理をすることができる。

#### 【0194】

直流電圧を印可する装置は、例えばウェーブテック社製のファンクションジェネーター“MODEL 275”を用いれば良い。MODEL 275は最大10Vの絶対値の直流電圧を印可することができる。MODEL 275から5.2Vの直流電圧を出し、さらにNF ELECTRIC INSTRUMENTS社製のHigh Speed Power Amplifierにより50倍に電圧を増幅すればさらに260Vの電圧を印可することができる。

#### 【0195】

実施例4及び本実施例の工程の順序を図9にまとめる。配向膜形成(①)～フレキシブルプリント配線板(FPC)を貼りつけて、フレキシブルプリント配線板のうち対向基板のコモンパッドと導通をとる配線と、素子基板に形成された導電膜の間に直流電源を印可することが特徴である。

#### 【0196】

##### [実施例8]（触媒元素を用いる半導体層の結晶化法）

本実施例では、実施例1で示したアクティブマトリクス基板のTFTの半導体層を形成する結晶質半導体層の他の作製方法について示す。本実施例では特開平7-130652号公報で開示されている触媒元素を用いる結晶化法を適用することもできる。以下に、その場合の例を説明する。

#### 【0197】

実施例1と同様にして、ガラス基板上に下地膜、非晶質半導体層を25～80nmの厚さで形成する。例えば、非晶質シリコン膜を55nmの厚さで形成する。そして、重量換算で10ppmの触媒元素を含む水溶液をスピンドルコート法で塗布して触媒元素を含有する層を形成する。触媒元素にはニッケル(Ni)、ゲルマニ

ウム (Ge)、鉄 (Fe)、パラジウム (Pd)、スズ (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au) などである。この触媒元素を含有する層 170 は、スピンドロート法の他にスパッタ法や真空蒸着法によって上記触媒元素の層を 1~5 nm の厚さに形成しても良い。

## 【0198】

そして、結晶化の工程では、まず 400~500°C で 1 時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を 5 atom% 以下にする。そして、ファーネスアニール炉を用い、窒素雰囲気中で 550~600°C で 1~8 時間の熱アニールを行う。以上の工程により結晶質シリコン膜から成る結晶質半導体層を得ることができる。

## 【0199】

このうようにして作製された結晶質半導体層から島状半導体層を作製すれば、実施例 1 と同様にしてアクティブマトリクス基板を完成させることができる。しかし、結晶化の工程においてシリコンの結晶化を助長する触媒元素を使用した場合、島状半導体層中には微量 ( $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  程度) の触媒元素が残留する。勿論、そのような状態でも TFT を完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン (P) によるゲッタリング作用を利用する手段がある。

## 【0200】

この目的におけるリン (P) によるゲッタリング処理は、図 6 (C) で説明した活性化工程で同時に行うことができる。ゲッタリングに必要なリン (P) の濃度は高濃度 n 型不純物領域の不純物濃度と同程度でよく、活性化工程の熱アニールにより、n チャネル型 TFT および p チャネル型 TFT のチャネル形成領域から触媒元素をその濃度でリン (P) を含有する不純物領域へ偏析させることができる。その結果その不純物領域には  $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  程度の触媒元素が偏析した。このようにして作製した TFT はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

## 【0201】

なお、本実施例は、実施例1乃至7のいずれか一と自由に組み合わせることが可能である。

## 【0202】

## [実施例9]

本発明を実施して形成されたCMOS回路や画素部は様々な半導体装置（アクティブラチクス型液晶ディスプレイ、アクティブラチクス型ECディスプレイ）に用いることができる。即ち、それら半導体装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。以下の装置に消費電力低減のため、センサーを組み込み外部の明るさを検出して、暗いところでは輝度を落とすようにしても良い。

## 【0203】

図20(A)は携帯電話であり、表示用パネル9001、操作用パネル9002、接続部9003、表示装置9004、音声出力部9005、操作キー9006、電源スイッチ9007、音声入力部9008、アンテナ9009表示装置9004、操作スイッチ9005、アンテナ9006から構成されている。本願発明はアクティブラチクス基板を備えた表示装置9004に適用することができる。

## 【0204】

図20(B)はビデオカメラであり、本体9101、表示装置9102、音声入力部9103、操作スイッチ9104、バッテリー9105、受像部9106から成っている。本願発明はアクティブラチクス基板を備えた表示装置9102に適用することができる。

## 【0205】

図20(C)はモバイルコンピュータ或いは携帯型情報端末であり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示装置9205で構成されている。本願発明はアクティブラチクス基板を備えた表示装置9205に適用することができる。

## 【0206】

図20（D）はヘッドマウントディスプレイであり、本体9301、表示装置9302、アーム部9303で構成される。本願発明は表示装置9302に適用することができる。

## 【0207】

図20（E）はテレビであり、本体9401、スピーカー9402、表示装置9403、受信装置9404、增幅装置9405等で構成される。本願発明は表示装置9403に適用することができる。

## 【0208】

図20（F）は携帯書籍であり、本体9501、表示装置9502、9503、記憶媒体9504、操作スイッチ9505、アンテナ9506から構成されており、ミニディスク（MD）やDVDに記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置9502、9503は直視型の表示装置であり、本発明を適用することができる。

## 【0209】

図21（A）はパーソナルコンピュータであり、本体9601、画像入力部9602、表示装置9603、キーボード9604で構成される。

## 【0210】

図21（B）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体9701、表示装置9702、スピーカ部9703、記録媒体9704、操作スイッチ9705で構成される。なお、この装置は記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

## 【0211】

図21（C）はデジタルカメラであり、本体9801、表示装置9802、接眼部9803、操作スイッチ9804、受像部（図示しない）で構成される。

## 【0212】

図22（A）はフロント型プロジェクターであり、表示装置9901、スクリーン9902で構成される。本発明は表示装置に適用することができる。

## 【0213】

図22（B）はリア型プロジェクターであり、本体10001、投射装置10002、ミラー10003、スクリーン10004で構成される。本発明は表示装置に適用することができる。

#### 【0214】

なお、図22（C）は、図22（A）及び図22（B）中における投射装置9901、10002の構造の一例を示した図である。投射装置9901、10002は、光源光学系10101、ミラー10102、10104～10106、ダイクロイックミラー10103、プリズム10107、液晶表示装置10108、位相差板10109、投射光学系10110で構成される。投射光学系10110は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図22（C）中ににおいて矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

#### 【0215】

また、図22（D）は、図22（C）中における光源光学系10201の構造の一例を示した図である。本実施例では、光源光学系10201は、リフレクタ-10211、光源10212、レンズアレイ10213、10214、偏光変換素子10215、集光レンズ10216で構成される。なお、図22（D）に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

#### 【0216】

#### 【発明の効果】

本発明を用いることで、アクティブマトリクス基板においても強誘電性液晶の高分子安定化処理をすることができる。

#### 【0217】

アクティブマトリクス型の液晶表示装置で線順次駆動をした場合は、保持容量や液晶層の電流リークにより液晶層に印可する電圧が変動し、強誘電性液晶の高

分子安定化処理するときの電圧が不安定になるが、本発明によれば、一定の電圧で高分子安定化処理をすることができる。

### 【0218】

アクティブマトリクス型の液晶表示装置では素子の耐電圧特性から液晶層に印可される電圧に制限があるが、本発明によれば、10V程度の直流電圧を液晶層に印可し、高分子安定化処理をすることができる。

### 【0219】

#### 【図面の簡単な説明】

【図1】本発明の高分子安定化処理をするときの駆動方法を示す。

【図2】本発明の高分子安定化処理をするときの駆動方法を示す。

【図3】ゲートドライバーの回路構成を示す。

【図4】ソースドライバーの回路構成を示す。

【図5】本発明の高分子安定化処理をするときの工程の順序を示す。

【図6】本発明の液晶表示装置の断面図を示す。

【図7】本発明の液晶表示装置の画素部及び駆動回路部の断面図を示す。

【図8】本発明の液晶表示装置の画素部の上面図を示す。

【図9】本発明の高分子安定化処理をするときの工程の順序を示す。

【図10】本発明の液晶表示装置の画素部及び駆動回路部の断面図を示す。

【図11】本発明の液晶表示装置の断面図を示す。

【図12】本発明の液晶表示装置の画素部の上面図を示す。

【図13】本発明の高分子安定化処理をするときの工程の順序を示す。

【図14】本発明の液晶表示装置の上面図を示す。

【図15】本発明の液晶表示装置の画素部及び駆動回路部の作製工程を示す。

【図16】本発明の液晶表示装置の画素部及び駆動回路部の作製工程を示す。

【図17】本発明の液晶表示装置の画素部及び駆動回路部の作製工程を示す。

【図18】本発明の液晶表示装置の画素部及び駆動回路部の作製工程を示す。

【図19】本発明の液晶表示装置の画素部及び駆動回路部の作製工程を示す。

【図20】電子機器の一例を示す。

【図21】電子機器の一例を示す。

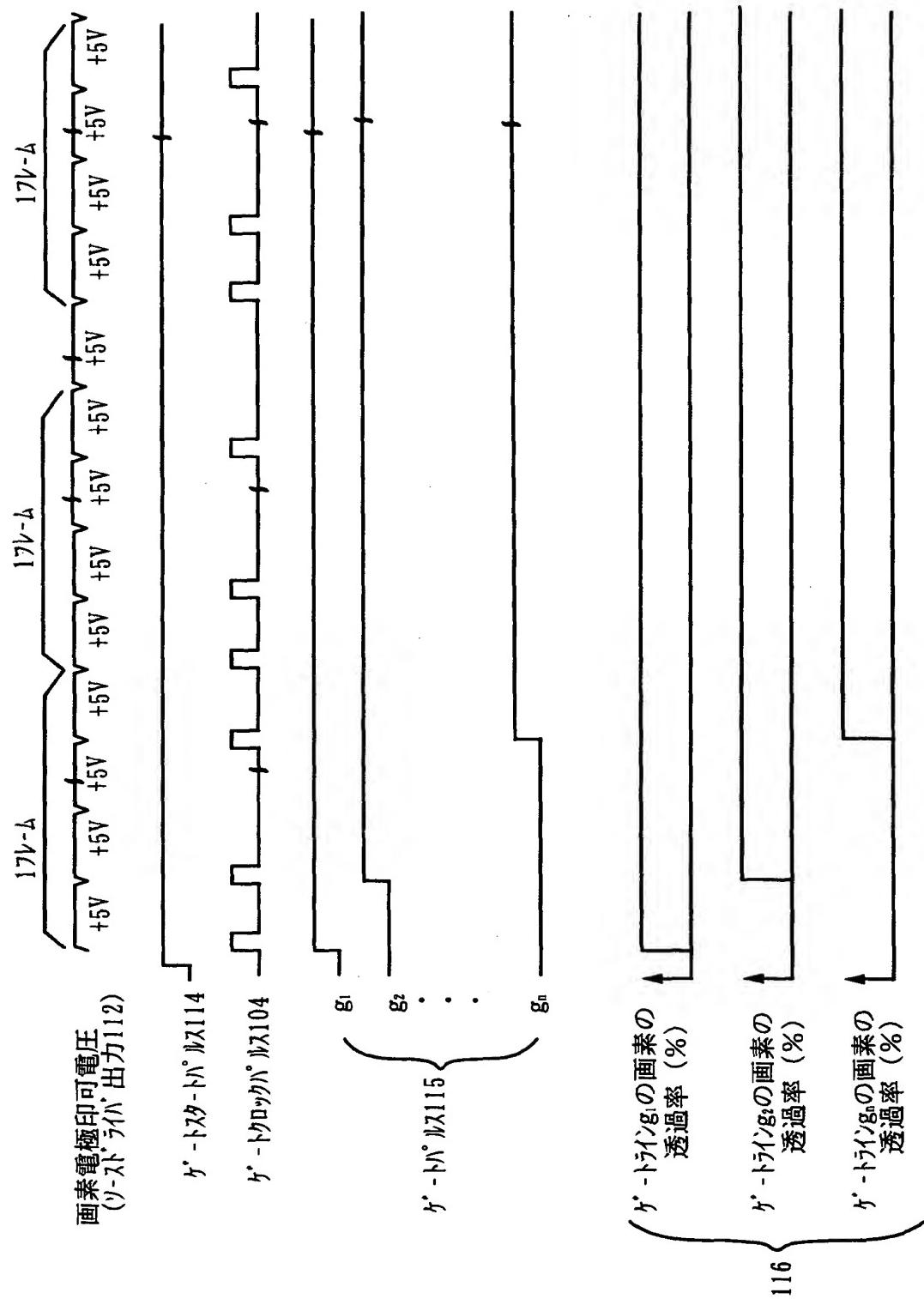
【図22】電子機器の一例を示す。

【図23】従来例を示す。

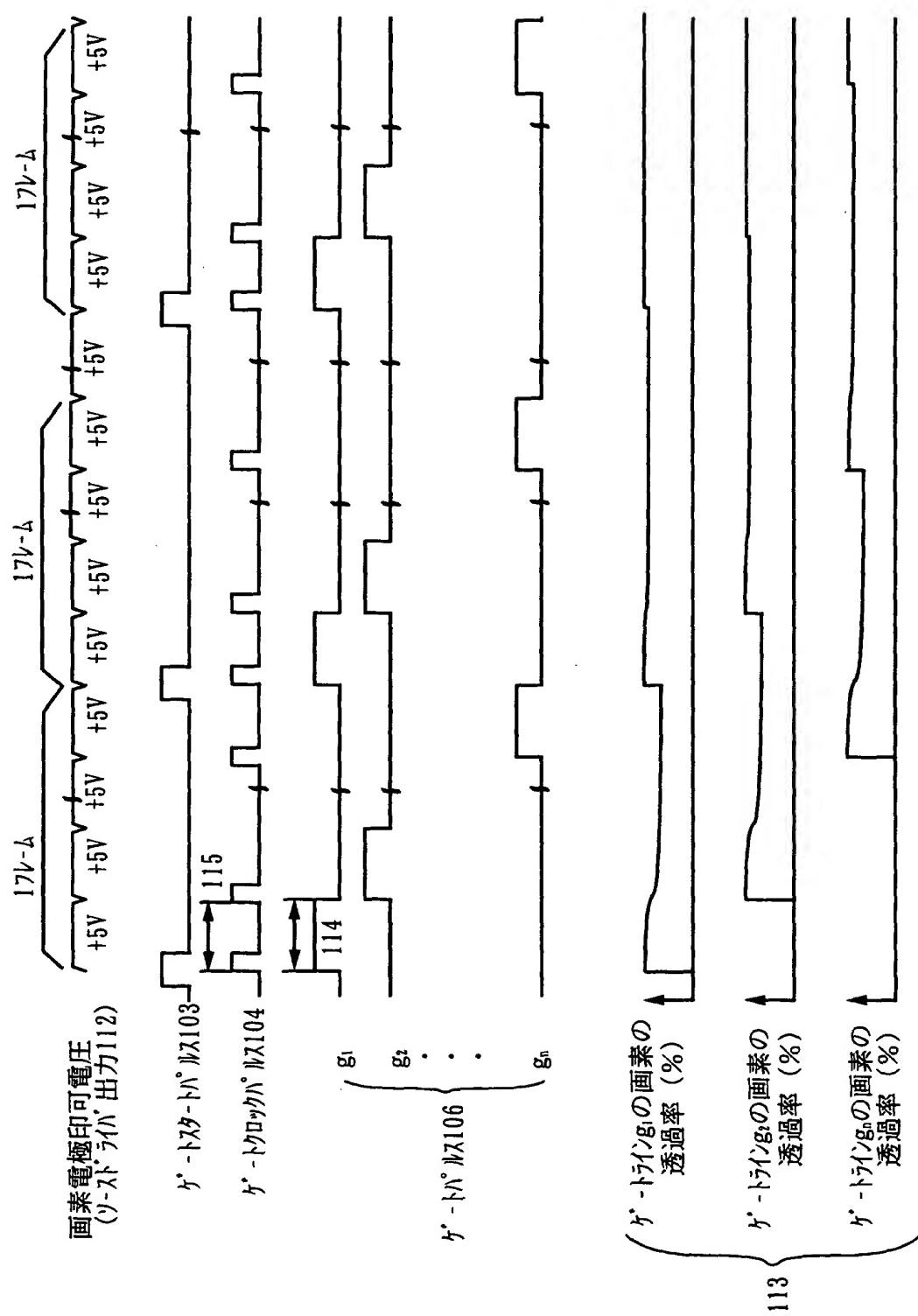
【書類名】

図面

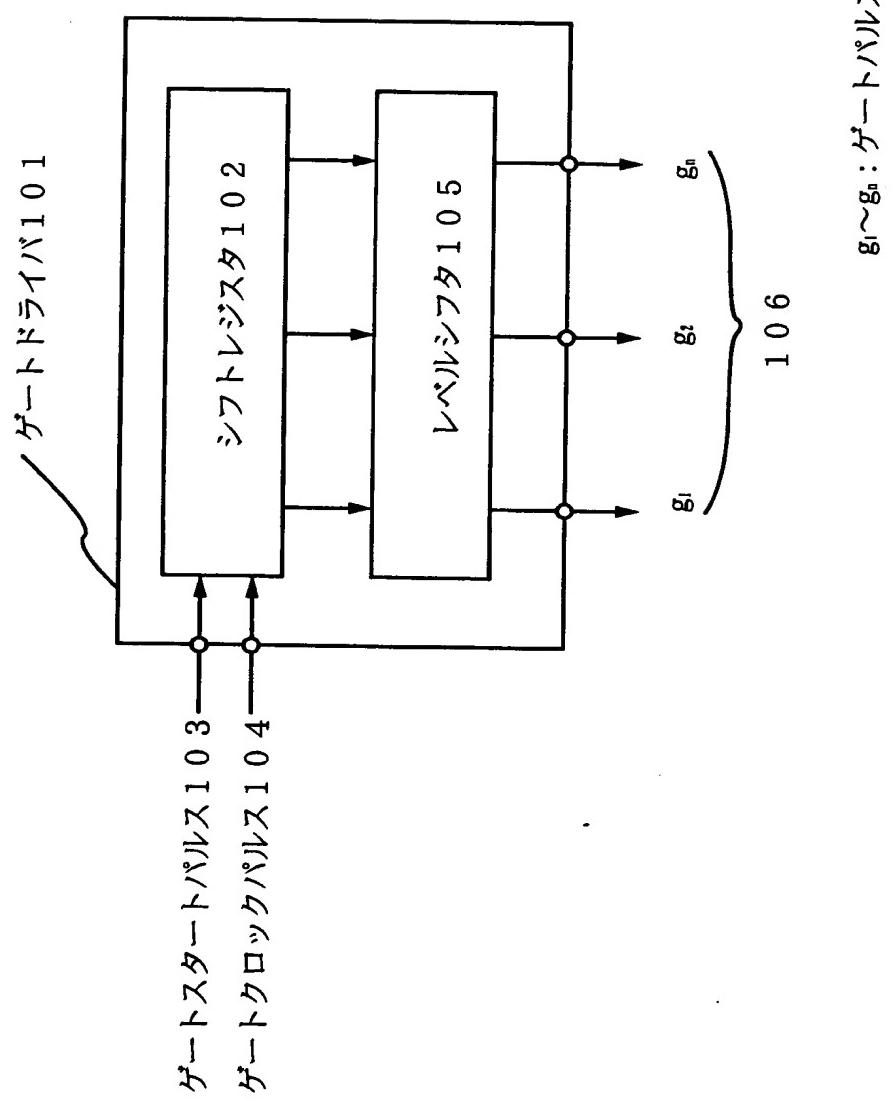
【図1】



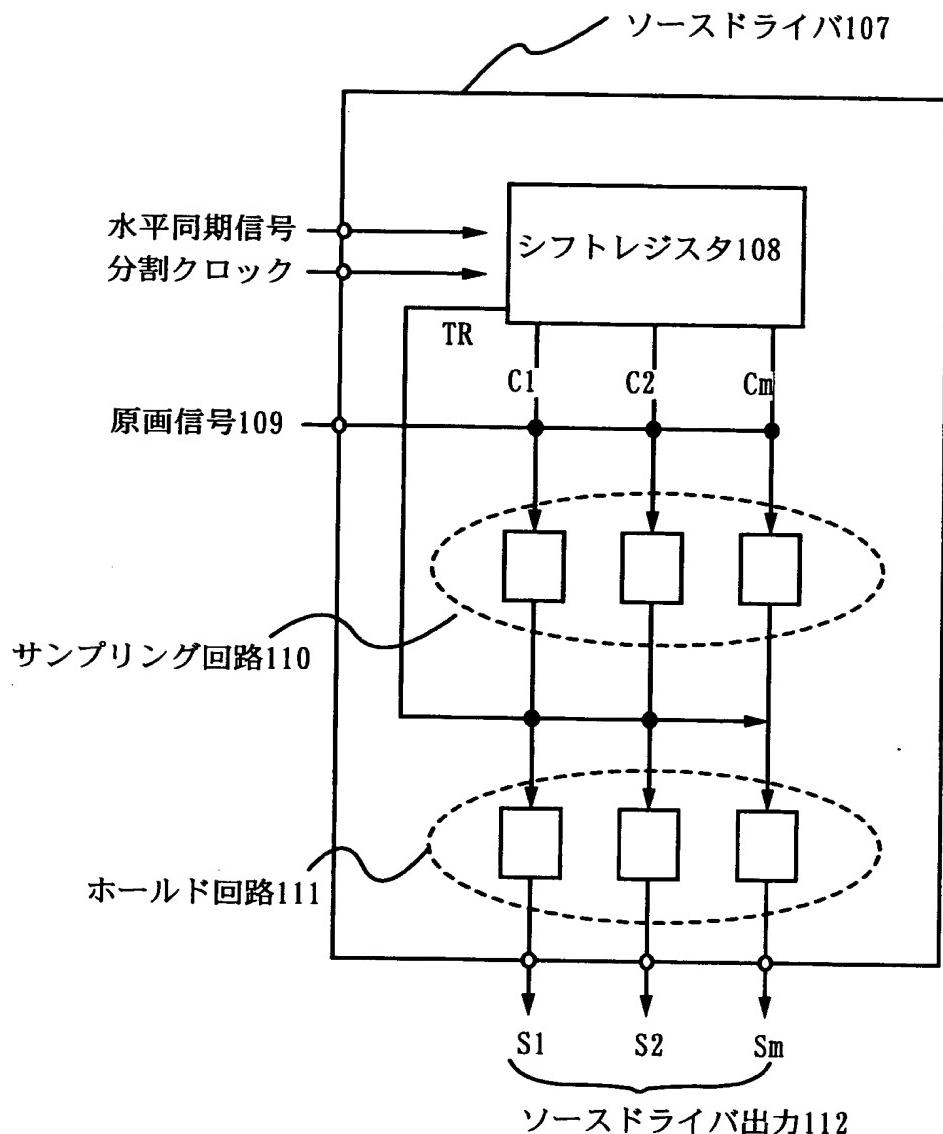
【図2】



【図3】

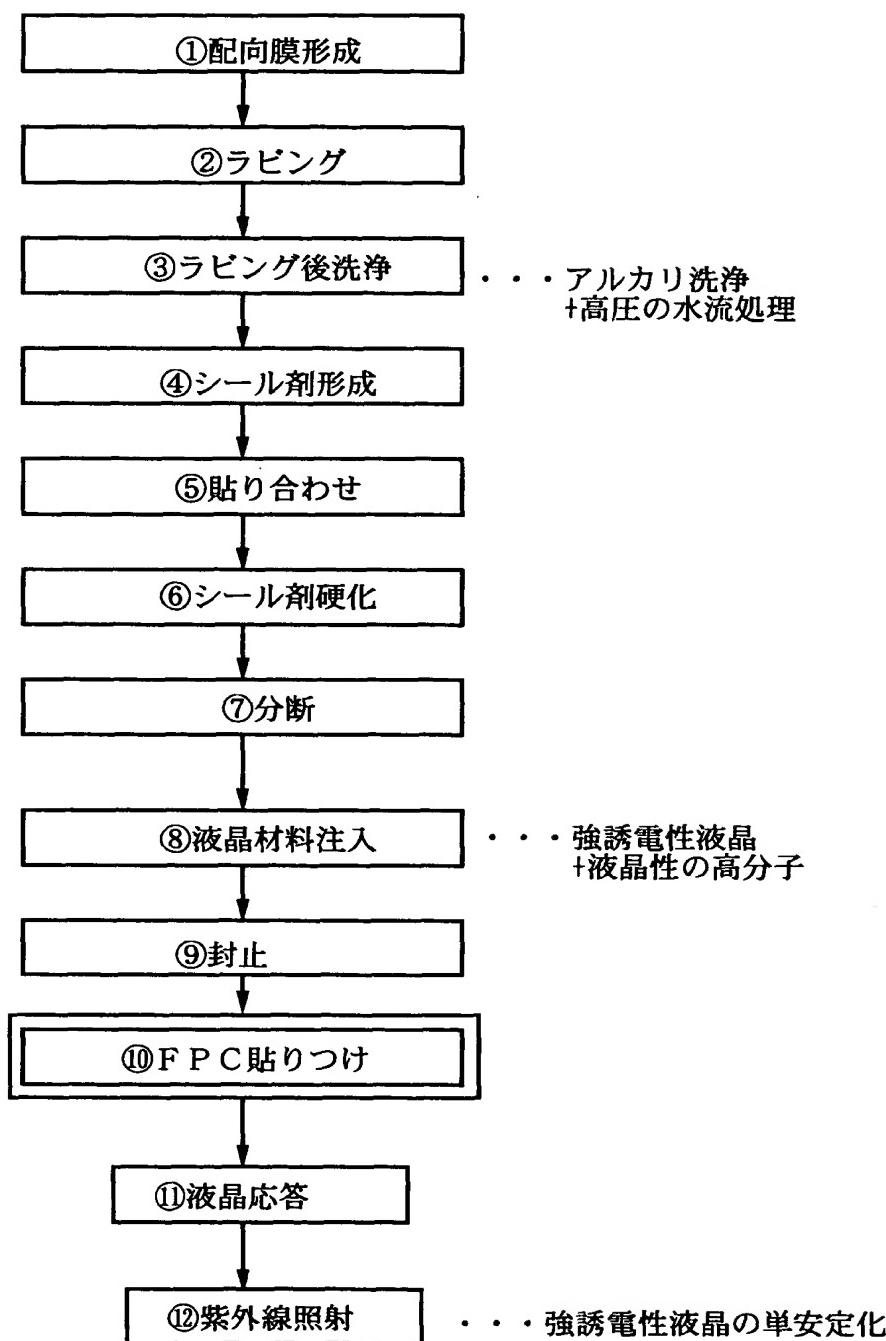


【図4】

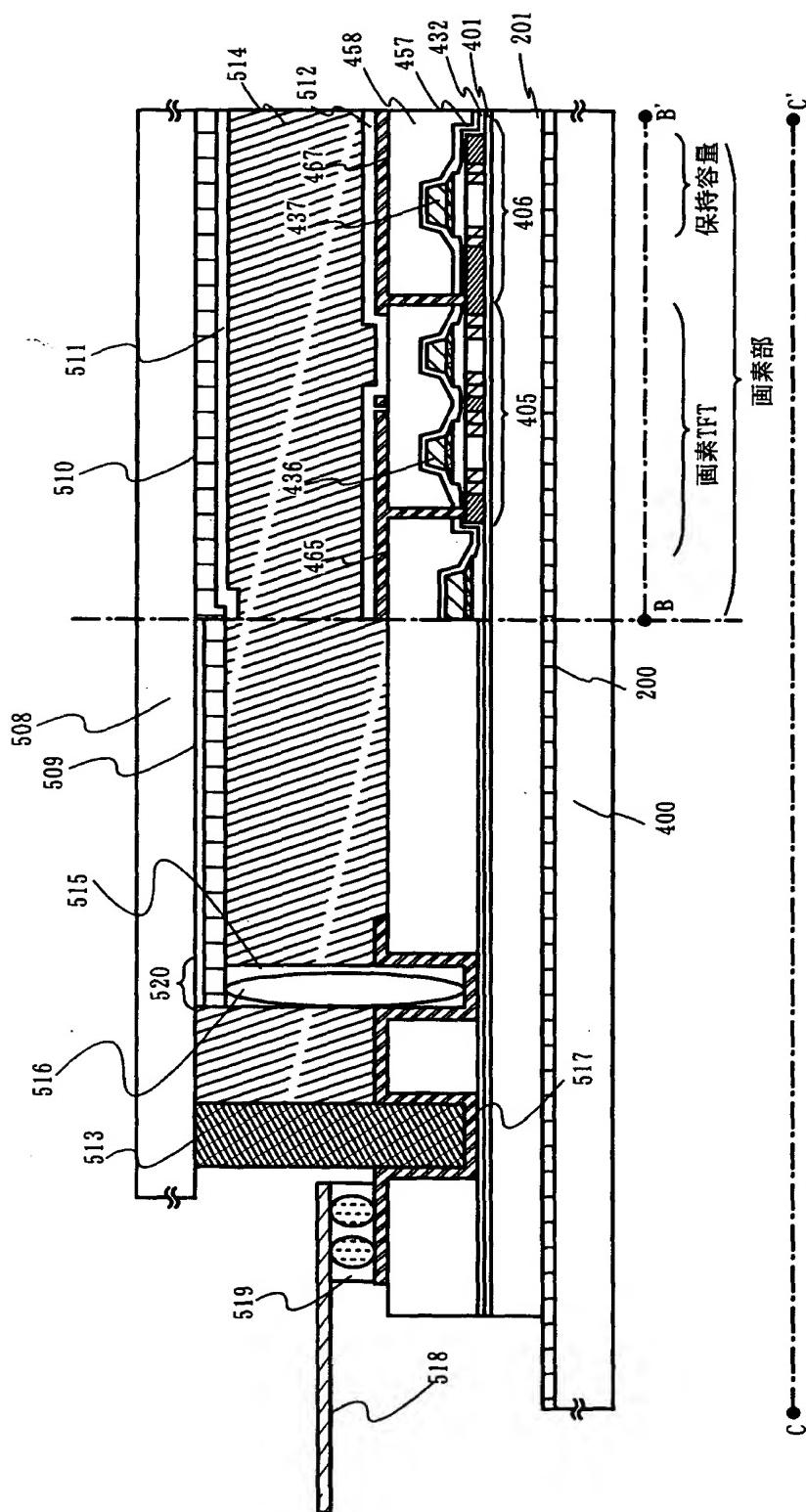


C<sub>1</sub>～C<sub>m</sub>: サンプリング信号  
 TR: 転送信号  
 S<sub>1</sub>～S<sub>m</sub>: ソースドライバ出力

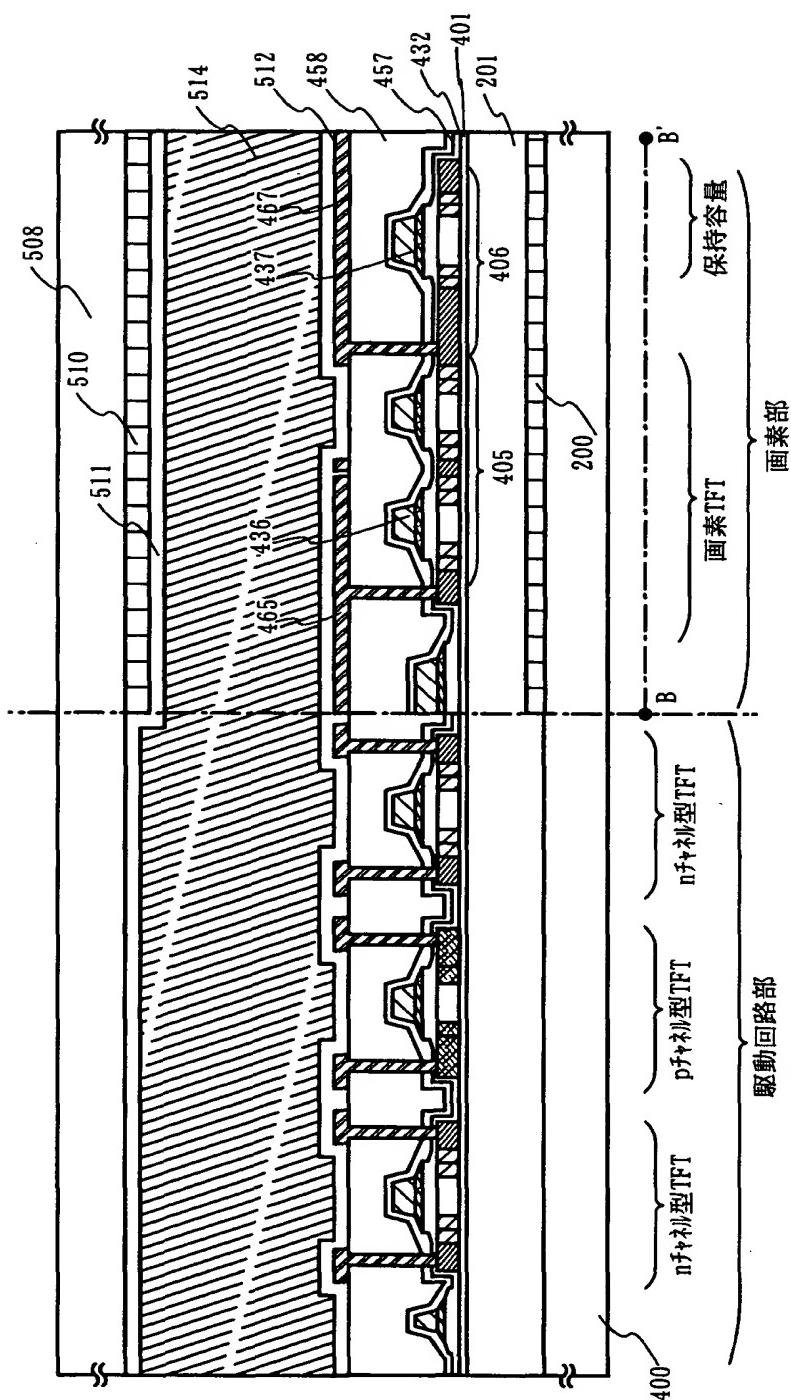
【図5】



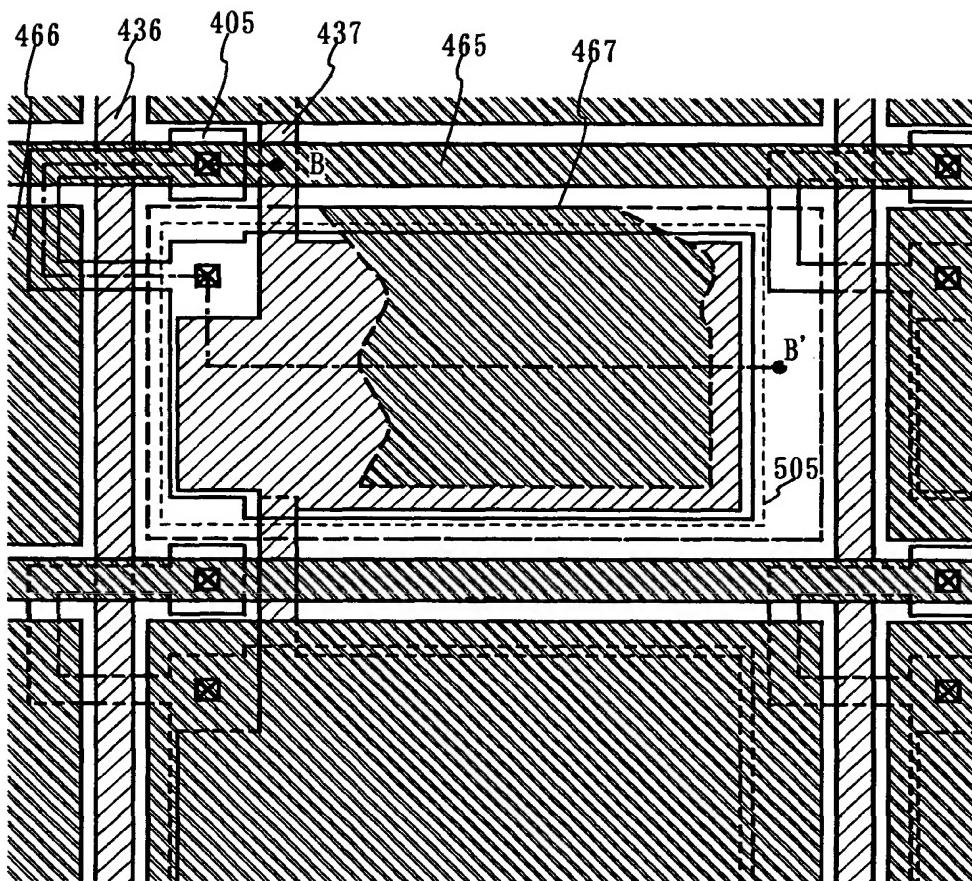
【図6】



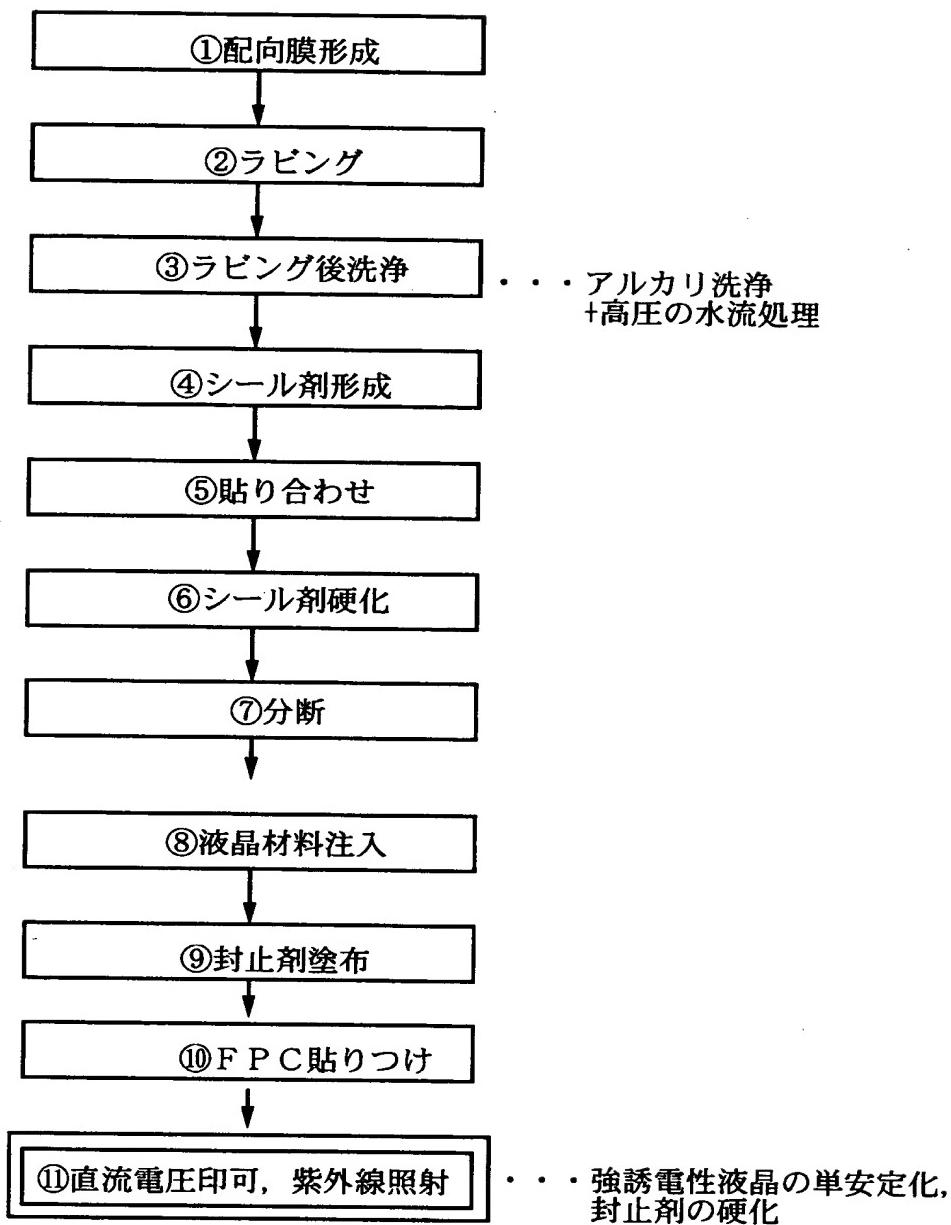
【図7】



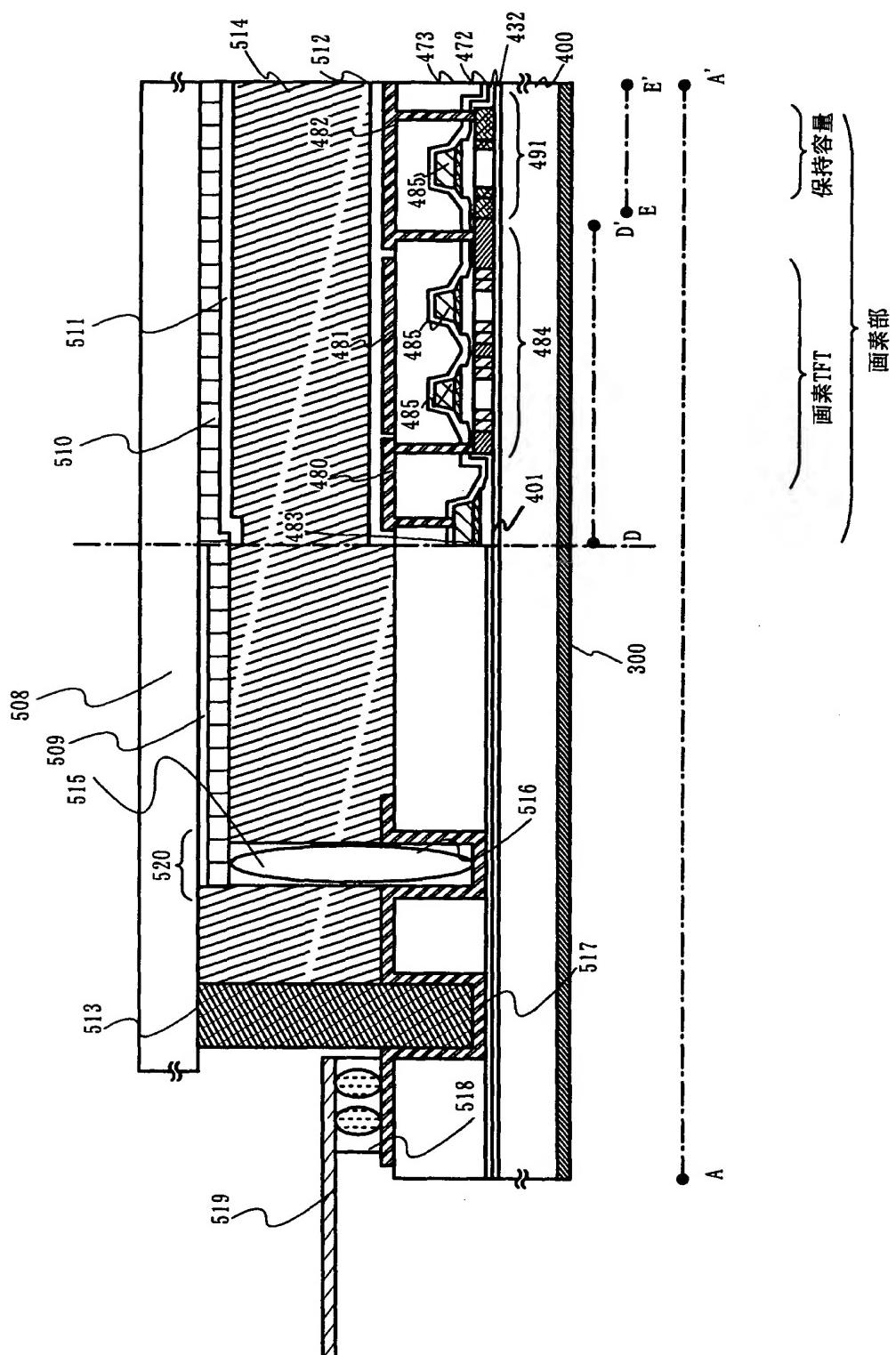
【図8】



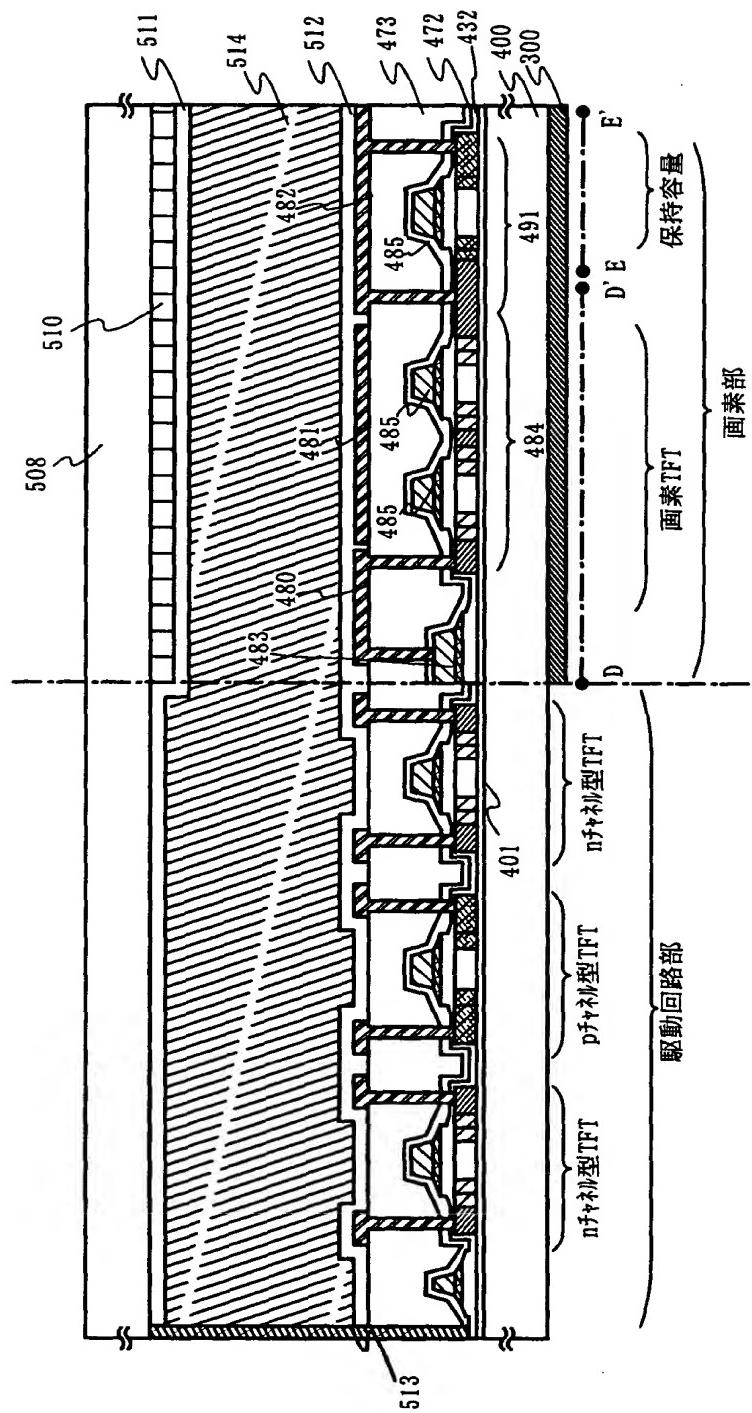
【図9】



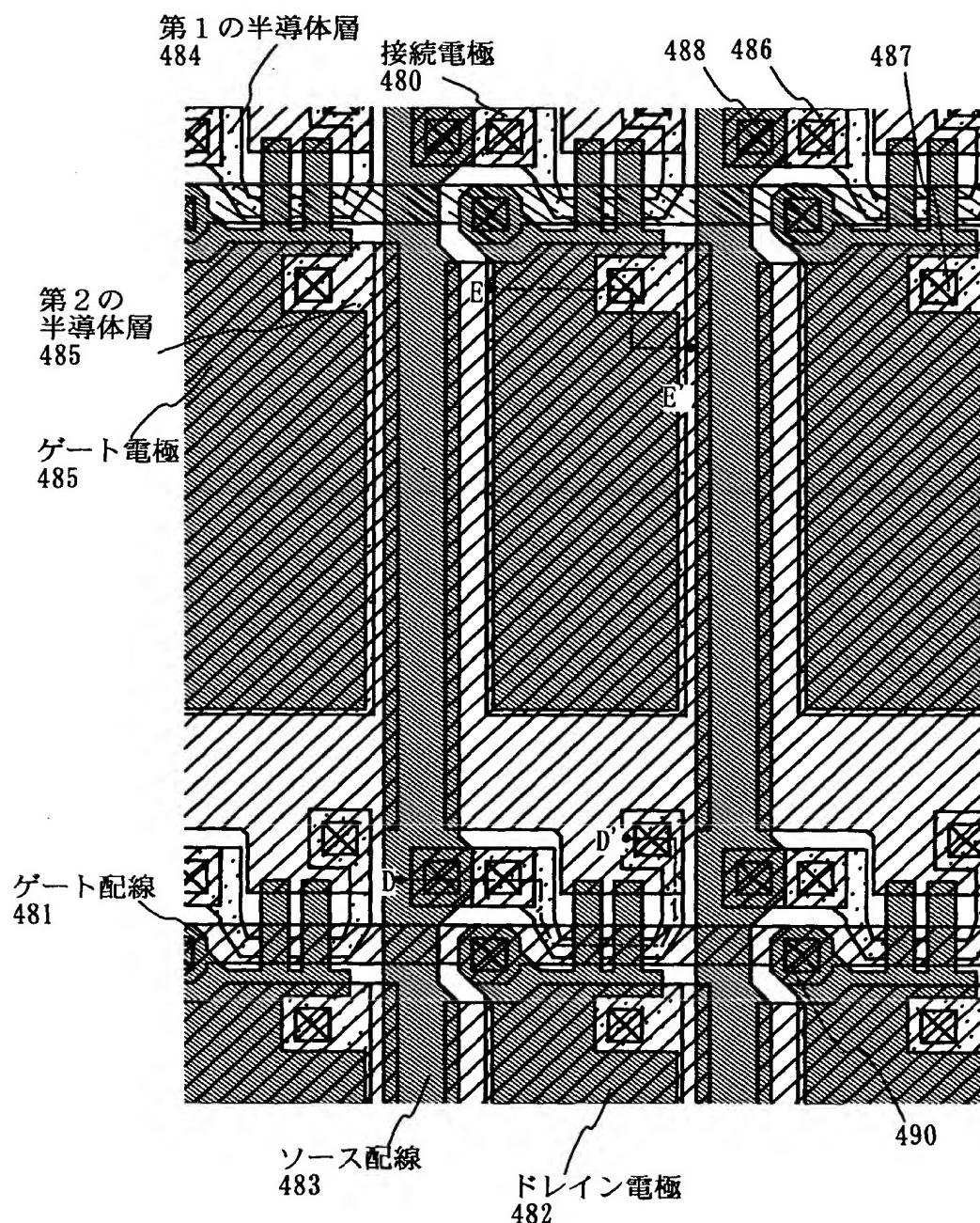
【図10】



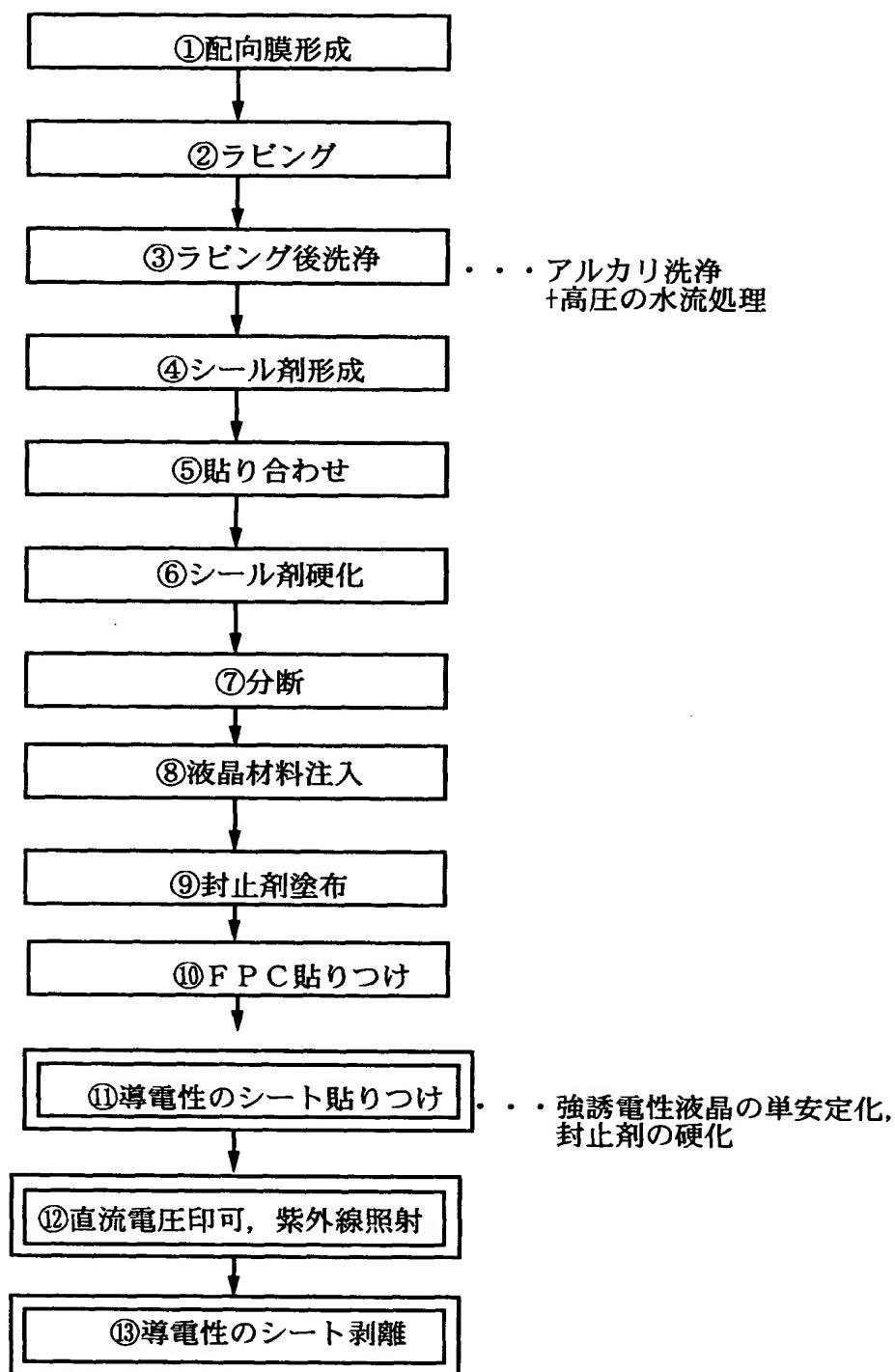
【図11】



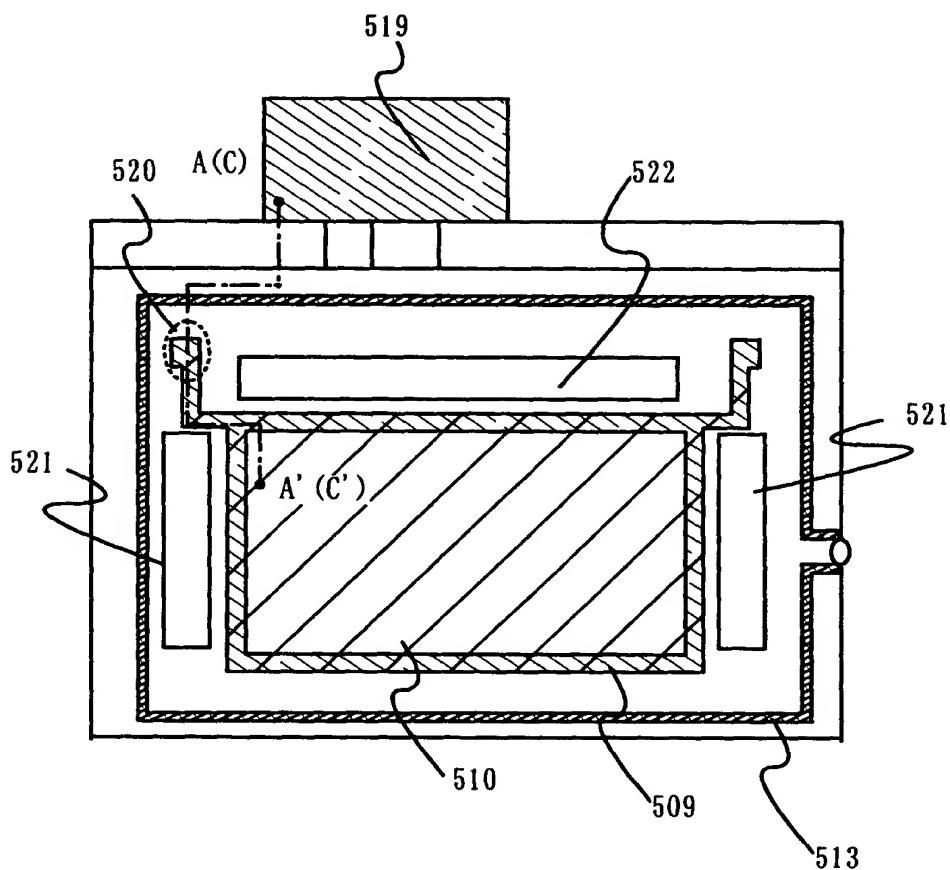
【図12】



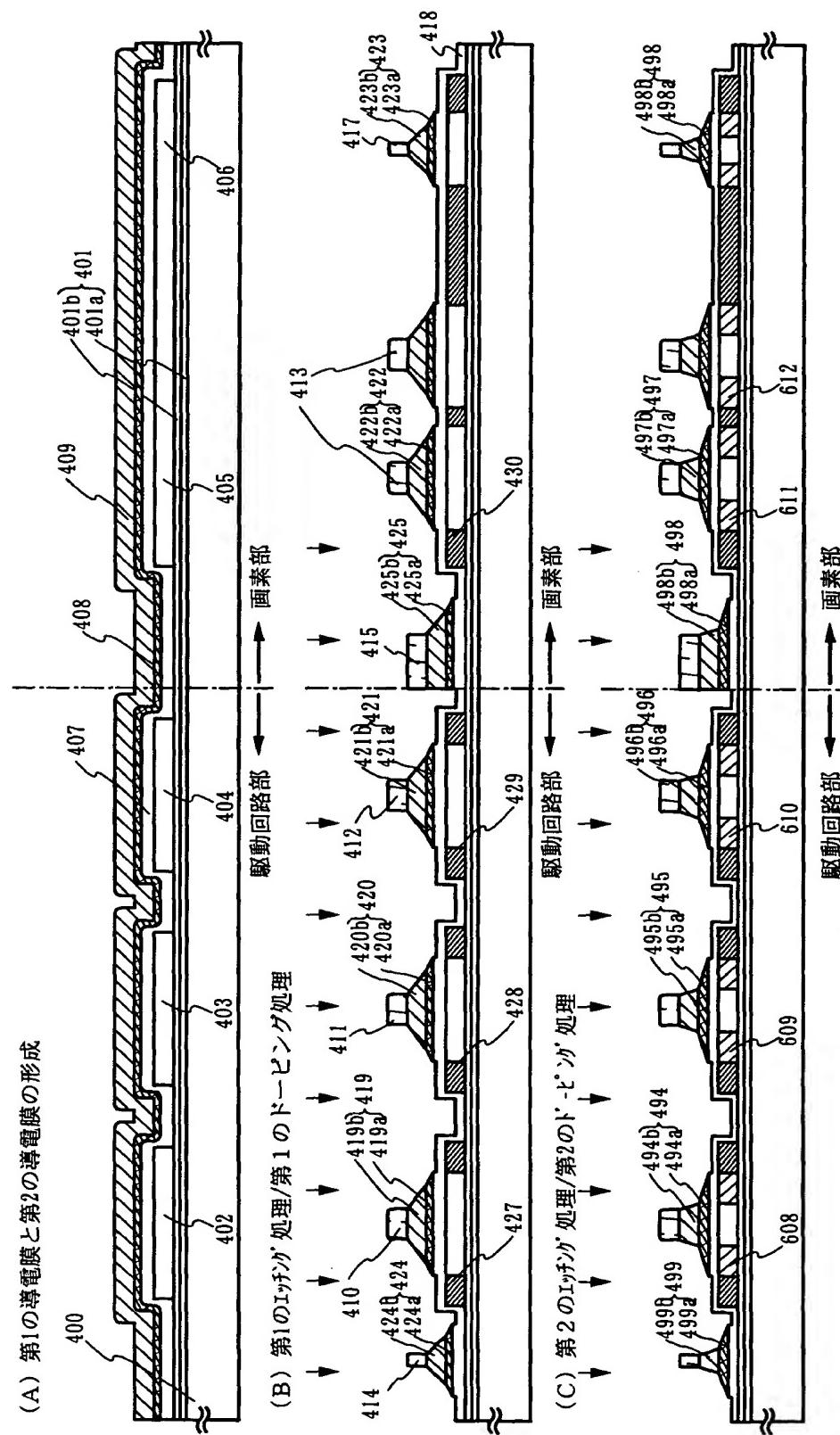
【図13】



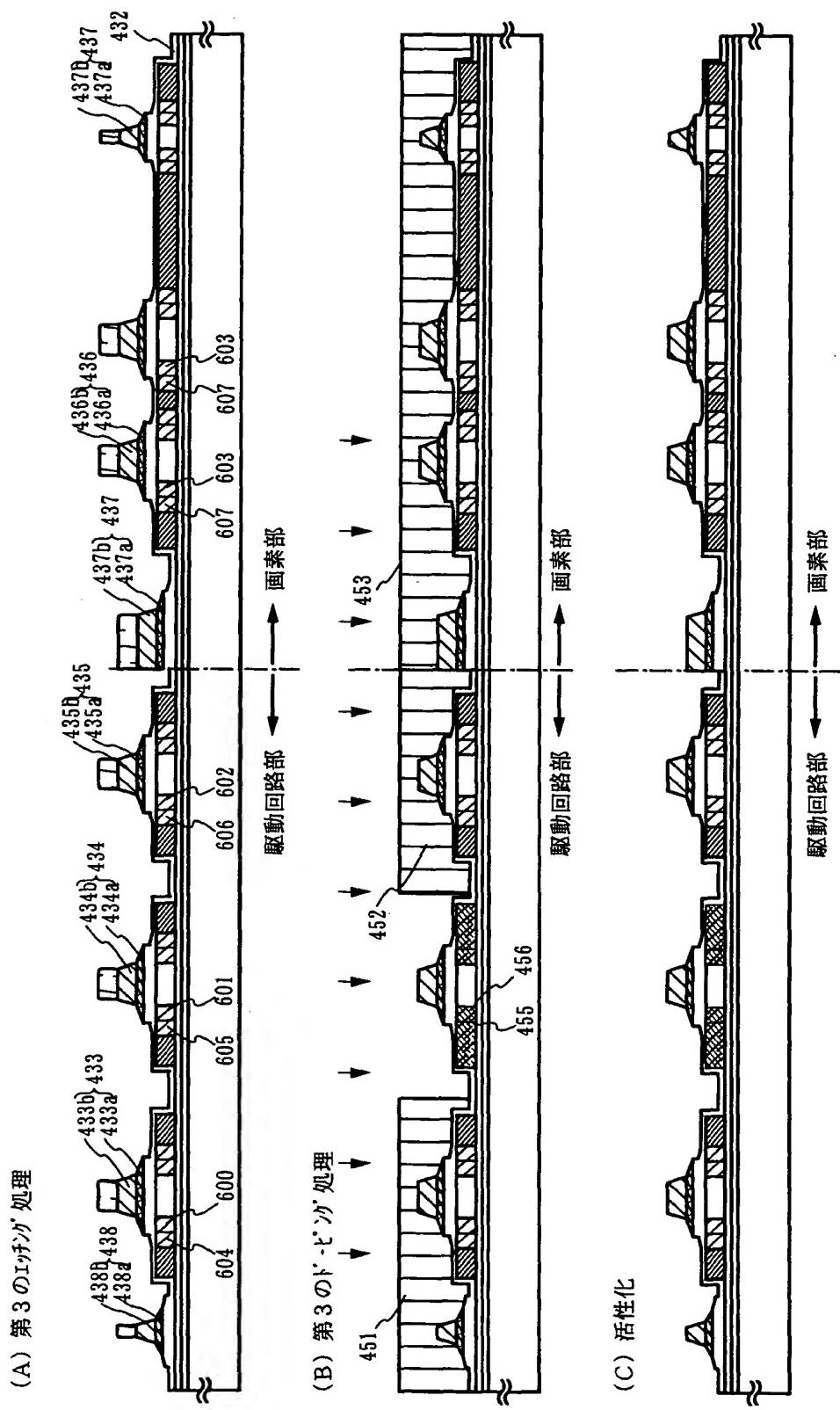
【図14】



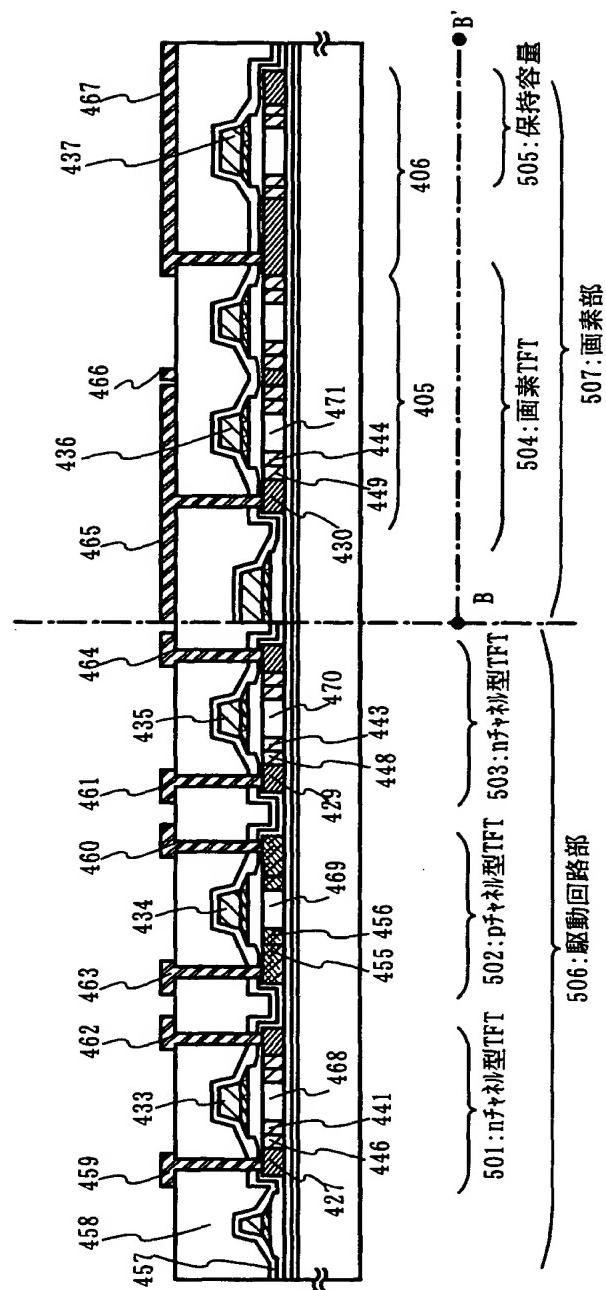
【図15】



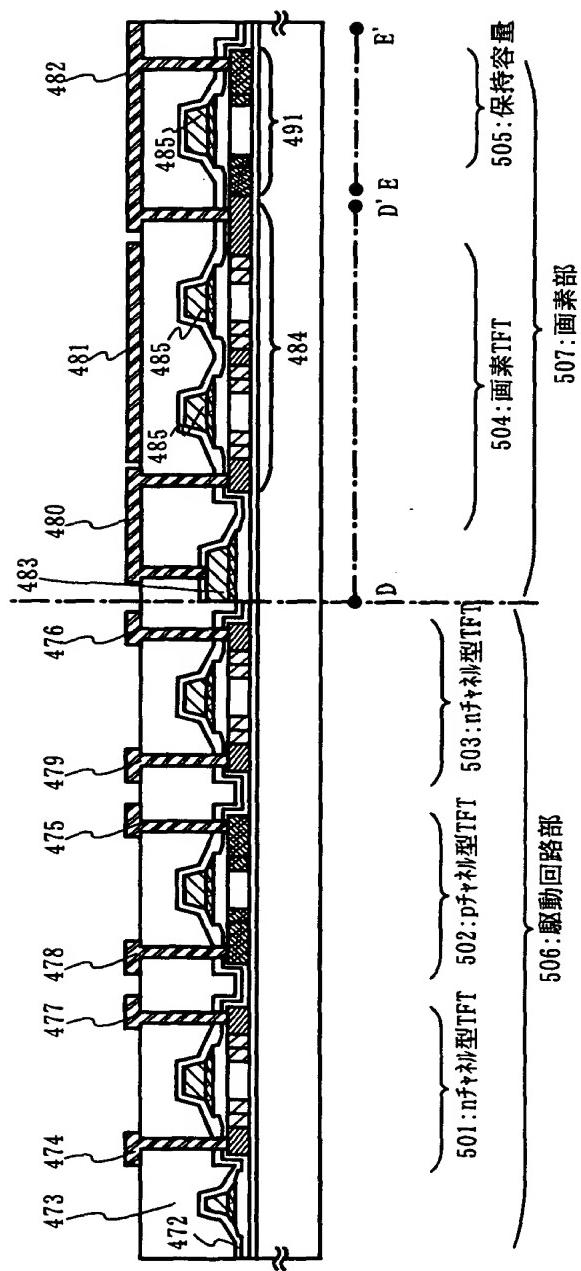
【図16】



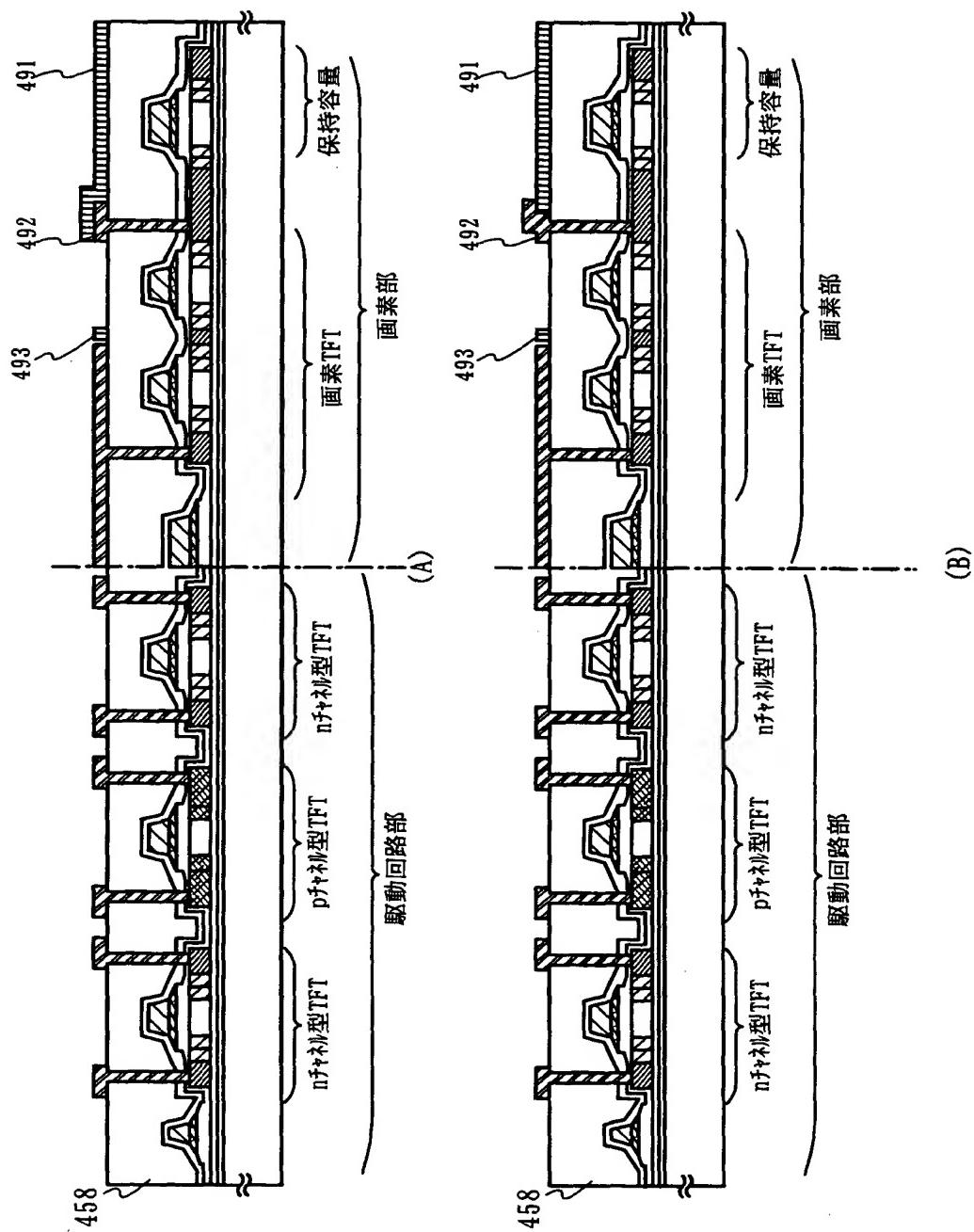
【図17】



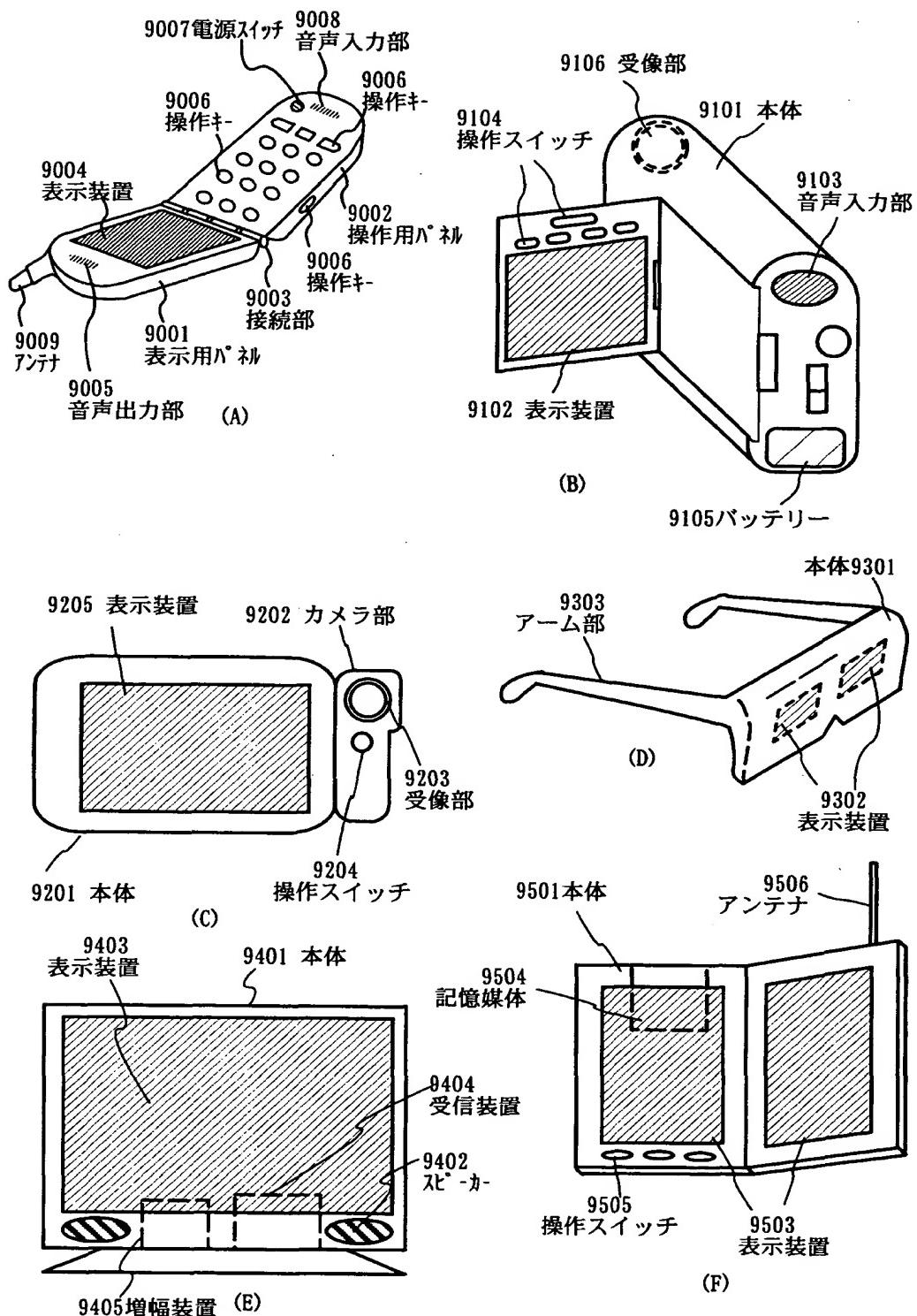
【図18】



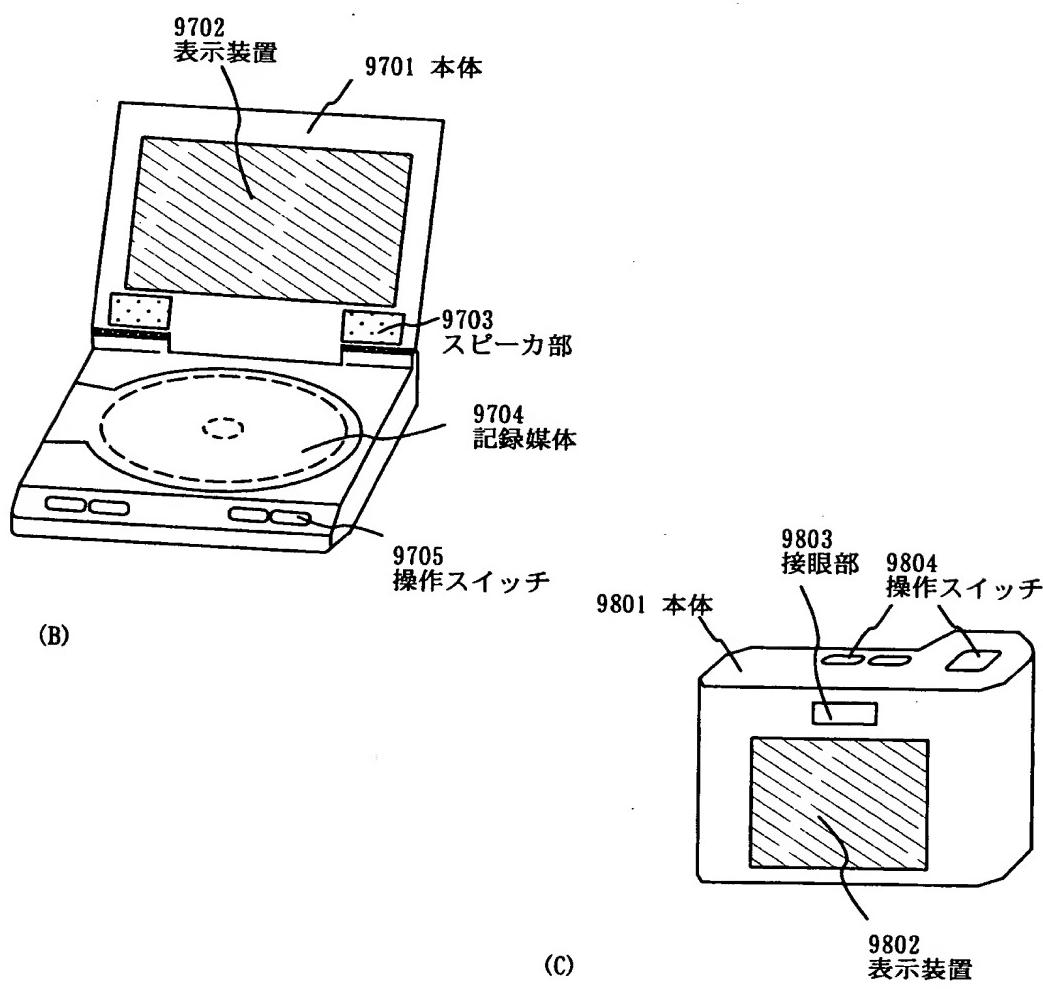
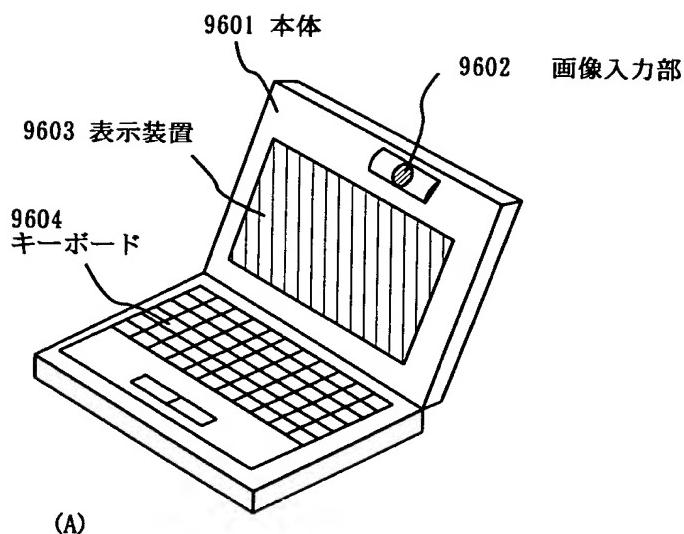
【図19】



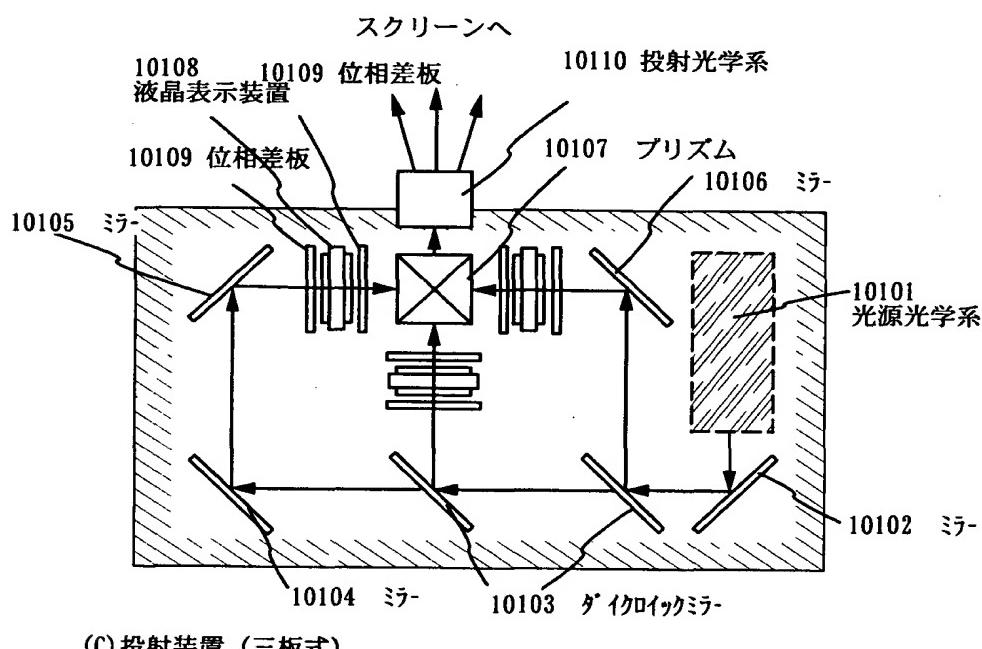
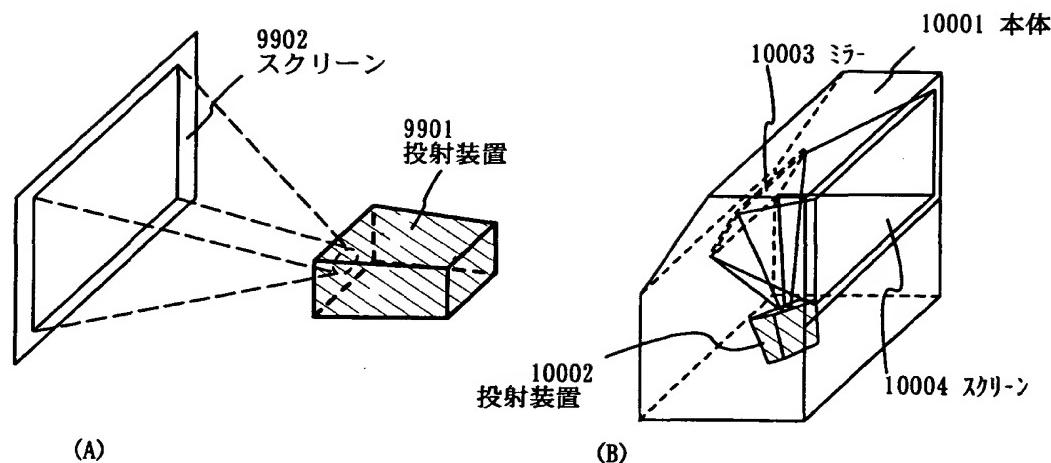
【図20】



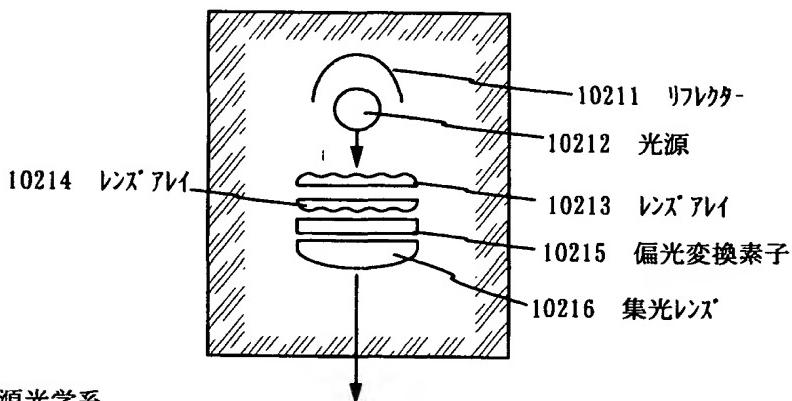
【図21】



【図22】

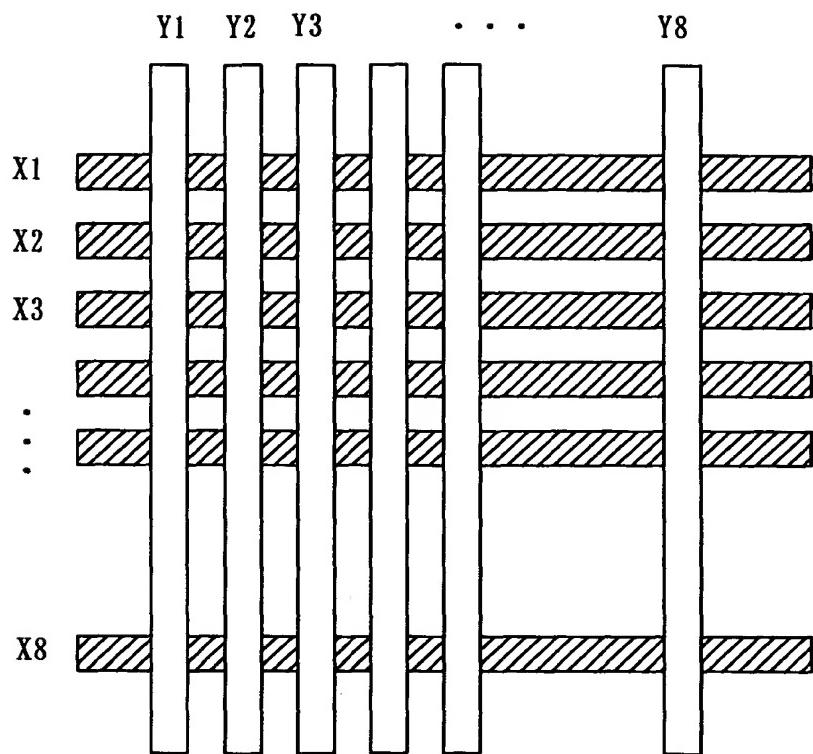


(C) 投射装置（三板式）



(D) 光源光学系

【図23】



【書類名】 要約書

【要約】

【課題】 アクティブマトリクス型の液晶表示装置は交流駆動を主眼において設計しているが、アクティブマトリクス型の液晶表示装置で強誘電性液晶を直流電源あるいは直流電圧により配向処理（単安定化）する。

【解決手段】 ①液晶を応答させ、電圧レベルを保持容量により保持したまま単安定化する。さらに、ゲートクロックパルス114を一定のレベルで保持しながら単安定化しても良い。③素子基板に透明導電膜を形成した後に、TFT等の素子を形成する。対向基板に形成された電極と前記透明導電膜の間に直流電源により電界を印可する。④対向基板に形成された電極と素子基板の裏面に形成された透明導電膜の間に直流電源により電界を印可する。

【選択図】 図1

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所